

2005年版のポイント 各ワーキンググループの要約

システムドライバ

新しいことは何か？

システムドライバの章は業界のトレンドから導き出される三つの原則に沿って構築されている。第一に、各ドライバは長い目で見ると半導体業界の主なマーケットドライバに沿っていなければならない。第二に、可能であれば iMEMI のような関連するロードマップのマーケットドライバ(たとえば、コンシューマ、オフィス、メディカルなど)と調和している必要がある。第三に、この整合性が混載メモリやアナログ・ミクストシグナルのようなテクノロジーをドライブするファブリックドライバ(それぞれのマーケットドライバとなるチップを構成する要素)を排除してはならない。以上の原則に従い、2005年システムドライバの章は2004年版に対して二つの重要な変更といろいろな改定を行った。

第一の変更は、製品市場セグメント表を iMEMI のような主要ロードマップの市場ドライバに合わせたことである。その結果、章の最初の表は変更され、新しい表は以下に示されている。考えられたセグメントは、ポータブル/コンシューマ、オフィス、メディカル、ネットワーク/コミュニケーション、ディフェンス、自動車を含んでいる。今後は、これらのドライバに章の残りの部分を合わせる努力が払われるだろう。2005年の時点では、章の三分の一以上がこれらのドライバに適合している。

2番目の変更は、ポータブルコンシューマセグメントにおいて、従来の SoC-PDA ドライバを SoC-PE ドライバに置き換えたことである。この新しいドライバは、消費電力、生産性、アーキテクチャ的要素の数などについて、中長期の洞察を与える。また、業界のトレンドを正確に反映するアーキテクチャ的テンプレートとして用いられる。

システムドライバの章のいろいろな節は、ミクストシグナルドライバや混載メモリドライバも含み、最新の情報を反映するように改定された。

2 What is New

Table ITWG 1 Major Product Market Segments and Impact on System Drivers

Market Drivers	SOC	Analog/MS	MPU
<i>I. Portable/consumer</i>			
1. Size/weight ratio: peak in 2004 2. Battery life: peak in 2004 3. Function: 2×/2 years 4. Time-to-market: ASAP	Low power paramount Need SOC integration (DSP, MPU, I/O cores, etc.)	Migrating on-chip for voice processing, A/D sampling, and even for some RF transceiver function	Specialized cores to optimize processing per microwatt
<i>II. Medical</i>			
1. Cost: slight downward pressure (~1/2 every 5 years) 2. Time-to-market: >12 mos 3. Function: new on-chip functions 4. Form factor often not important 5. Durability/safety 6. Conservation/ ecology	High-end products only. Reprogrammability possible. Mainly ASSP, especially for patient data storage and telemedicine; more SOC for high-end digital with cores for imaging, real-time diagnostics, etc.	Absolutely necessary for physical measurement and response but may not be integrated on chip	Often used for programmability especially when real-time performance is not important. Recent advances in multi-core processors have made programmability and real-time performance possible
<i>III. Networking and communications</i>			
1. Bandwidth: 4×/3–4 yrs. 2. Reliability 3. Time-to-market: ASAP 4. Power: W/m ³ of system	Large gate counts High reliability More reprogrammability to accommodate custom functions	Migrating on-chip for MUX/DEMUX circuitry MEMS for optical switching.	MPU cores, FPGA cores and some specialized functions
<i>IV. Defense</i>			
1. Cost: not prime concern 2. Time-to-market: >12 mos 3. Function: mostly on SW to ride technology curve 4. Form factor may be important 5. High durability/safety	Most case leverage existing processors but some requirements may drive towards single-chip designs with reprogrammability	Absolutely necessary for physical measurement and response but may not be integrated on chip	Often used for programmability especially when real-time performance is not important Recent advances in multi-core processors have made programmability and real-time performance possible
<i>V. Office</i>			
1. Speed: 2×/2 years 2. Memory density: 2×/2 years 3. Power: flat to decreasing, driven by cost and W/m ³ 4. Form factor: shrinking size 5. Reliability	Large gate counts High speed Drives demand for digital functionality Primarily SOC integration of custom off-the-shelf MPU and I/O cores	Minimal on-chip analog Simple A/D and D/A Video i/f for automated camera monitoring, video conferencing Integrated high-speed A/D, D/A for monitoring, instrumentation, and range-speed-pos resolution	MPU cores and some specialized functions Increased industry partnerships on common designs to reduce development costs (requires data sharing and reuse across multiple design systems)
<i>VI. Automotive</i>			
1. Functionality 2. Ruggedness (external environment, noise) 3. Reliability and safety 4. Cost	Mainly entertainment systems. Mainly ASSP, but increasing SOC for high end using standard HW platforms with RTOS kernel, embedded software.	Cost-driven on-chip A/D and D/A for sensor and actuators Signal processing shifting to DSP for voice, visual Physical measurement (“communicating sensors” for proximity, motion, positioning). MEMS for sensors	

A/D—*analog to digital signal processing* ASSP—*application-specific standard product* D/A—*digital to analog* DEMUX—*demultiplexer* DSP—*digital*
 FPGA—*field programmable gate array* i/f—*intermediate frequency* I/O—*input/output* HW—*hardware*
 MEMS—*microelectromechanical systems* MUX—*multiplex* RTOS—*real-time operating system*

デザイン

新しいことは何か？

デザイン章は、従前の版のロードマップに関して次の3つの重要なハイライトを含んでいる。すなわち、定量化されたロードマップ、製造容易化設計 (Design for Manufacturability(DFM)) の新たな領域での本質的な内容の導入、そして、新たな総括的な課題表の導入。

最も重要なハイライトは定量化されたロードマップである。この章は、2005 版において、殆ど全体を総点検している。総点検の方針は、他の章と同様な技術要求表、課題解決策の表を含む、広範囲かつ定量化された設計技術ロードマップである。結果として、2005 ITRS デザイン章は、世界初の定量化された設計技術ロードマップであることを特色としている。技術課題、技術要求指標、課題解決策は、5 つの設計工程の順に並べられている(システムレベル設計、論理・回路・物理設計、設計検証、テスト設計、製造容易化設計)。10 個の新規に追加された技術要求の表と課題解決策の表が、新たなロードマップを体現している。

DFMでの新たな課題に関する新しいセクションは、2004 アップデートで導入され、2005 ロードマップで標準的なロードマップ表とともに、永続的に設置された。複数レベルのばらつきフレームワークは、設計技術ロードマップの項目と、PIDS その他を含む残りのロードマップの章にある製造関係の項目の関係を定量化し、相互理解できるようにするためのモデルとして開発された。

最後に、次ページに示す設計技術における新たな総括課題表が 2005 版ロードマップで確立された。この表は、5 つの主要な設計技術課題(設計生産性、消費電力、製造容易性、干渉、そして信頼性)を記載しており、各技術課題に対する要求リストを提示している。これらの 5 つの主要な技術課題のうち、最も重要なものは(設計生産性は全般の meta-challenge として、消費電力と製造容易性は、2 つの危機的な課題として)、ORTC に明示的に現れている。

この表の右のカラムに書かれている要求は、後ほどのデザイン章の各設計工程(システムレベル設計、論理・回路・物理設計、設計検証、テスト設計、製造容易化設計)にある実際の具体的なロードマップ表に対応している。

Table ITWG 2 Overall Design Technology Challenges

<i>Challenges ≥32 nm</i>	<i>Summary of Issues</i>
Design productivity	System level: high level of abstraction (HW/SW) functionality spec, platform based design, multi-processor programmability, system integration, AMS co-design and automation Verification: executable specification, ESL formal verification, intelligent testbench, coverage-based verification Logic/circuit/layout: analog circuit synthesis, multi-objective optimization
Power consumption	Logic/circuit/layout: dynamic and static (leakage), system and circuit, power optimization
Manufacturability	Performance/power variability, device parameter variability, lithography limitations impact on design, mask cost, quality of (process) models ATE interface test (multi-Gb/s), mixed-signal test, delay BIST, test-volume-reducing DFT
Reliability	Logic/circuit/layout: MTTF-aware design, BISR, soft-error correction
Interference	Logic/circuit/layout: signal integrity analysis, EMI analysis, thermal analysis
<i>Challenges <32 nm</i>	<i>Summary of Issues</i>
Design productivity	Complete formal verification of designs, complete verification code reuse, complete deployment of functional coverage Tools specific for SOI and non-static-logic, and emerging devices Cost-driven design flow Heterogeneous component integration (optical, mechanical, chemical, bio, etc.)
Power consumption	SOI power management
Manufacturability	Uncontrollable threshold voltage variability Advanced analog/mixed signal DFT (digital, structural, radio), “statistical” and yield-improvement DFT Thermal BIST, system-level BIST
Reliability	Autonomic computing, robust design, SW reliability
Interference	Interactions between heterogeneous components (optical, mechanical, chemical, bio, etc.)

ATE—automatic test equipment BISR—built-in self repair BIST—built-in self test DFT—design for test
EMI—electromagnetic interference ESL—Electronic System-level Design HW/SW—hardware/software
MTTF—mean time to failure SOI—silicon on insulator

テストとテスト装置

新しいことは何か？

2005年版テストロードマップは、2003年版以来の多大な進歩を遂げている。最も重要なのは、以前は異なっていたチップデザインでも統合が増加するという現実をより良く反映させるために、テスト技術要求の節を再編したことである。ITRS の範囲を超えて考えるならば、特有のテスト要求によって、1 つ 1 つの被測定デバイス (DUT) はロジック、I/O、メモリ、アナログ、RF、等の”コア”を 1 つかそれ以上内蔵したシステム・オン・チップ (SoC) やシステム・イン・パッケージ (SiP) と見なすことができる。今回改訂されたテスト要求の節は、一般 SoC モデルの紹介を含んだ SoC/SiP のテスト課題の概要から始まり、そして、その後にコアの各タイプに対するテスト要求と課題について節を割いている。

ITRS テスト章のこの 2005 年版編集の最初において、テスト章の困難な課題セクションを再編成した。主要な変更点は、前回の困難な課題の節を主要なドライバと困難な課題に分離し、同時に将来の見込みを追加したことである。この分離はドライバ、即ち、半導体部品の今後の製造工程テストに関するソリューションの範囲を定義する主な境界条件と、主要な技術的かつビジネス的な課題とを区別する。高次に於いては、これらの境界条件は、テスト工程の期待や要求さえ実際に表すことになる。一方でその課題は、現在と今後の主要な障害と戦略的活用点と将来の見込みを表すことになる。

何年もの間、半導体製造工程のテストの役割は、”欠陥を取り除くこと”、そして、少し広い意味では”スピード選別”あるいは”スピード分類”と云うある種のビジネスセグメントに属するものとして述べられてきた。幾つかの最も重要なテストの課題が、製造工程のテストにおける多くの緻密で歴史的な使命 — 信頼性と歩留向上 — の中で、今や実際に中心を占めていることは注目し値する。また、これらの課題のインパクトは、製造工程のテスト自体に影響するに止まらないことに留意すべきである。それは、将来の工程の歩調やタイムリな展開を可能としコスト的にも見合った製品を可能にすると云う意味だけでなく、信頼性に対する顧客の期待に応えると云う意味においても半導体ビジネス全体に欠くことができない。

困難な技術課題

困難な課題の節の中で、課題は分かっている重要性や優先性の順に記載されている。例えば、スクリーニングによる歩留向上のためのテスト、系統的な欠陥の増加による信頼性のためのテストの順である。一方、主要なドライバの記載順には特別な意図はない。それらは全て、満たされるべき半導体テスト・ソリューションの境界条件や要求である。Table.ITWG3 は主要なテストドライバと課題と見込みの全てをまとめたものである。各課題はテスト章の中でより詳細に説明されている。

Table ITWG 3 Summary of Key Test Drivers, Challenges, and Opportunities

<i>KEY DRIVERS (NOT IN ANY PARTICULAR ORDER)</i>	
Device trends	<ul style="list-style-type: none"> Increasing device interface bandwidth (both number of signals and signal data rates) Increasing device integration (SOC, SIP, MCP, 3D packaging) Integration of emerging and non-digital CMOS technologies (RF, Analog, Optical, MEMs) Package form factor and electrical / mechanical characteristics Device characteristics beyond one sided deterministic stimulus/response model
Increasing test process complexity	<ul style="list-style-type: none"> Increased device customization and line item complexity during the test process Increasing “distributed test” to maintain cost scaling Increased data feedback for tuning manufacturing Higher order dimensionality of test conditions (e.g., adding multi-power, multi-voltage, multi-freq topologies to single valued T, V, freq)
Continued economic scaling of test	<ul style="list-style-type: none"> Physical limits of further test parallelism Managing (logic) test data volume Effective limit for speed difference of HVM ATE versus DUT Acceptable increases for interface hardware and (test) Socket costs Trade-off between the cost of test and the cost of quality
<i>DIFFICULT CHALLENGES (IN ORDER OF PRIORITY)</i>	
Test for yield learning	<ul style="list-style-type: none"> Critically essential for fab process and device learning below optical device dimensions
Screening for reliability	<ul style="list-style-type: none"> Increasing implementation challenges and efficacies of burn-in, IDDQ, and Vstress Erratic, non deterministic, and intermittent device behavior
Increasing systemic defects	<ul style="list-style-type: none"> Testing for local non-uniformities, not just hard defects Detecting symptoms and effects of line width variations, finite dopant distributions, systemic process defects
Potential yield losses	<ul style="list-style-type: none"> Tester inaccuracies (timing, voltage, current, temperature control, etc) Overtesting (e.g., delay faults on non-functional paths) Mechanical damage during the testing process Defects occurring in test-only circuitry, e.g., BIST Some IDDQ-only failures Faulty repairs of normally repairable circuits Overly aggressive statistical post-processing
<i>FUTURE OPPORTUNITIES (NOT IN ANY ORDER)</i>	
Test program automation (not ATPG)	Automation of generation entire test programs for ATEs
Simulation and modeling	Simulation and modeling of test interface hardware and instrumentation seamlessly integrated to the device design process
Convergence of test and system reliability solutions	Re-use and fungability of solutions between test (DFT), device, and system reliability (error detection, reporting, correction)

• ATE—automatic test equipment ATPG—automatic test pattern generation BIST—built-in self test HVM—high volume manufacturing
MCP—multi-chip packaging MEMs—micro-electromechanical systems

プロセスインテグレーション、デバイス、構造

新しいことは何か？

2005年版 ITRS の PIDS の章では、ロジックの技術要求テーブルのトランジスタパラメータを求める際に、前の版と比べて改良された MOSFET モデルが使われている。前版のテーブルではプレーナバルク MOSFET がまず使われ、次に極薄の完全空乏化型(UTB FD)SOI-MOSFET 構造に、そしてマルチゲート MOSFET に移行するロードマップであった。2005 年版 ITRS では、プレーナバルク構造をできるだけ延命させ、その一方で、UTB FD SOI-MOSFET とマルチゲート MOSFET が 2008 年以降で平行にプレーナバルク構造と並存するロードマップとなった。この平行パスのロードマップは、より現実的なシナリオである。幾つかのチップメーカーはプレーナバルク構造をできるだけ長く使うことを選ぶし、別のメーカーは UTB FD SOI-MOSFET やマルチゲート MOSFET に、より早く移行するかもしれない。他の重要な変更点は、High-k ゲート絶縁膜とメタルゲート電極の、高性能トランジスタと低消費電力向けトランジスタへの導入を 2008 年に遅らせたことである。2003 年版では、High-k ゲート絶縁膜は、2006 年に低待機時消費電力向けトランジスタに、2007 年に高性能および低動作時消費電力向けトランジスタに導入されるロードマップであった。また、数年以内に量産が近づいているため、不揮発性メモリとして相変化メモリが新たに 2005 年版に加えられた。

困難な技術課題

Table ITWG 4 Process Integration Difficult Challenges

<i>Difficult Challenges ≥ 32 nm</i>	<i>Summary of Issues</i>
1. Scaling of MOSFETs to the 32 nm technology generation	<p>Scaling planar bulk CMOS will face significant challenges due to the high channel doping required, band-to-band tunneling across the junction and gate-induced drain leakage (GIDL), stochastic doping variations, and difficulty in adequately controlling short channel effects.</p> <p>Implementation into manufacturing of new structures such as ultra-thin body fully depleted silicon-on-insulator (SOI) and multiple-gate (e.g., FinFET) MOSFETs is expected. This implementation will be challenging, with numerous new and difficult issues. A particularly challenging issue is the control of the thickness and its variability for these ultra-thin MOSFETs.</p>
2. Implementation of high- κ gate dielectric and metal gate electrode in a timely manner	<p>High κ and metal gate electrode will be required beginning in ~2008. Timely implementation will involve dealing with numerous challenging issues, including appropriate tuning of metal gate work function, ensuring adequate channel mobility with high-κ, reducing the defects in high-κ to acceptable levels, ensuring reliability, and others.</p>
3. Timely assurance for the reliability of multiple and rapid material, process, and structural changes	<p>Multiple changes are projected over the next decade, such as.:</p> <p>Material: high-κ gate dielectric, metal gate electrodes by 2008 or so</p> <p>Process: elevated S/D (selective epi) and advanced annealing and doping techniques</p> <p>Structure: ultra-thin body (UTB) fully depleted (FD) SOI, followed by multiple-gate structures.</p> <p>It will be an important challenge to ensure the reliability of all these new materials, processes, and structures in a timely manner.</p>
4. Scaling of DRAM and SRAM to the 32 nm technology generation	<p>DRAM main issues with scaling—adequate storage capacitance for devices with reduced feature size, including difficulties in implementing high-κ storage dielectrics; access device design; holding the overall leakage to acceptably low levels; and deploying low sheet resistance materials for bit and word lines to ensure desired speed for scaled DRAMs. Also, reducing the cell area factor in a timely manner is quite challenging. (Cell area factor = $a = \text{cell area}/F^2$, where F=DRAM half pitch).</p> <p>SRAM—Difficulties with maintaining adequate noise margin and controlling key instabilities and soft error rate with scaling. Also, difficult lithography and etch issues with scaling.</p>
5. Scaling high-density non-volatile memory to the 32 nm technology generation	<p>Flash—Non-scalability of tunnel dielectric and interpoly dielectric. Dielectric material properties and dimensional control are key issues.</p> <p>FeRAM—Continued scaling of stack capacitor is quite challenging. Eventually, continued scaling in 1T1C configuration. Sensitivity to IC processing temperatures and conditions.</p> <p>SONOS—ONO stack dimensions and material properties, including nitride layer trap distribution in space and energy</p> <p>MRAM—Magnetic material properties and dimensional control. Sensitivity to IC processing temperatures and conditions</p>

Table ITWG 4 Process Integration Difficult Challenges (continued)

<i>Difficult Challenges < 32 nm</i>	<i>Summary of Issues</i>
6. Implementation of advanced, non-classical CMOS with enhanced drive current and acceptable control of short channel effects for highly scaled MOSFETs	<p>Advanced non-classical CMOS (e.g., multiple-gate MOSFETs) with ultra-thin, lightly doped body will be needed to effectively scale MOSFETs to 11 nm gate length and below.</p> <p>To attain adequate drive current for the highly scaled MOSFETs, quasi-ballistic operation with enhanced thermal velocity and injection at the source end appears to be needed.</p> <p>Eventually, nanowires, carbon nanotubes, or other high transport channel materials (e.g., germanium or III-V thin channels on silicon) may be needed.</p>
7. Dealing with fluctuations and statistical process variations in sub-11 nm gate length MOSFETs	<p>Fundamental issues of statistical fluctuations for sub-11 nm gate length MOSFETs are not completely understood, including the impact of quantum effects, line edge roughness, and width variation.</p>
8. Identifying, selecting, and implementing new memory structures	<p>Dense, fast, low operating voltage non-volatile memory will become highly desirable</p> <p>Increasing difficulty is expected in scaling DRAMs, especially scaling down the dielectric equivalent oxide thickness and attaining the very low leakage currents that will be required.</p> <p>All of the existing forms of nonvolatile memory face limitations based on material properties. Success will hinge on finding and developing alternative materials and/or development of alternative emerging technologies.</p> <p>See Emerging Research Devices section for more detail.</p>
9. Identifying, selecting, and implementing novel interconnect schemes	<p>Eventually, it is projected that the performance of copper/low-κ interconnect will become inadequate to meet the speed and power dissipation goals of highly scaled ICs.</p> <p>Solutions (optical, microwave/RF, etc.) are currently unclear.</p> <p>For detail, refer to ITRS Interconnect chapter.</p>
10. Toward the end of the Roadmap or beyond, identification, selection, and implementation of advanced, beyond-CMOS devices and architectures for advanced information processing	<p>Will drive major changes in process, materials, device physics, design, etc.</p> <p>Performance, power dissipation, etc., of beyond-CMOS devices need to extend well beyond CMOS limits.</p> <p>Beyond-CMOS devices need to integrate physically or functionally into a CMOS platform. Such integration may be difficult.</p> <p>See Emerging Research Devices sections for more discussion and detail.</p>

無線通信のための高周波およびアナログ・ミックスドシグナル技術

新しいことは何か？

高周波およびアナログ・ミックスドシグナル(以下、RF(Radio Frequency) および AMS (Analog/Mixed-Signal))技術は、今日、多くの半導体製品で成功するための、欠くことのできない重要な技術になっている。これらが、急速に成長している無線通信市場を支えている。これらの技術は、多くの材料を用いている。いくつかは SiGe のように CMOS プロセスと互換性を持つものがあり、ほかには周期表の III-V 族に属する化合物半導体のように、CMOS プロセスとは互換性を持たないものもある。

RF および AMS 技術によって可能となる無線応用が、ITRS の新しいシステム牽引役になるものと考え、2003 年に国際ロードマップ委員会(IRC)は、III-V 族化合物半導体デバイスをロードマップに加えることを求めてきた。

この 2005 年版 ITRS の RF および AMS の章の目的は、以下のようなものである。

1. 0.8GHz から 100GHz で動作させる、セルラフォン、無線 LAN(local area network)、無線 PAN(personal area networks)、フェーズドアレイ RF システム、および、レーダーやイメージングといった、他の新規の無線通信のため RF および AMS 技術に求められる課題を明らかにすること。
2. Si-CMOS、バイポーラ CMOS(BiCMOS)および SiGe による HBT(heterojunction bipolar transistors)と、III-V 族化合物半導体デバイスとの交点について明らかにすること。

RF および AMS 作業部会は 5 つのサブグループからなっている。

- 1) RF および AMS 用 CMOS (0.8 GHz–10 GHz),
- 2) RF および AMS 用バイポーラ素子 (0.8 GHz–10 GHz),
- 3) パワーアンプ (0.8 GHz–10 GHz),
- 4) RF およびアナログ用受動素子 (0.8 GHz–10 GHz)
- 5) ミリ波 (10 GHz–100 GHz).

RF および AMS の章では、無線応用の要求を満たすための、技術課題、技術要求および解決策候補を示している。無線応用のための技術要求は多岐にわたっており、デジタルの要求とは、しばしば合い入れないものであったり、全く違ったものとなる。そのために、今日の無線システムでは、Si CMOS, SiGe, Si BiCMOS, Si LDMOS, GaAs MESFET, GaAs PHEMT, GaAs HBT, InP HEMT,そして InP HBT のようなアナログおよび RF 用に特化した技術と組み合わせられることになる。

コストと性能がドライバーとなって集積を推し進めている。要求によっては、単体の SoC であっても SiP であっても、選択されることになる。場合によっては、高集積・高性能ユニットと、特化した RF および AMS 技術を一緒にする上で、SiP は極めて有力な方法となる。

上記 5 つの主要セクションに加えて、この章では信号分離の重要性が増してくることについて論じる。無線通信システムが、よりマルチモード、マルチ入力・マルチ出力の無線処理をとるようになると、無線処理やデジタル信号処理で信号分離を確保することが強く求められ、かつ極めて重要な課題になってくる。しかし、この章の他の技術と違い、現在のところ、明確な定義や、信号分離性能に対する有効性を示す図表というものがない。この 2005 年の章では、信号分離の重要性と、信号分離の課題解決に、さらなる配慮をしてゆくことの必要性を、強く指摘したいと思う。

困難な技術課題

Table ITWG 5 *RF and Analog Mixed-Signal (RF and AMS) Technologies for Wireless Communications Difficult Challenges*

<i>Difficult Challenges</i>	<i>Summary of Issues</i>
Signal isolation	Obstacle preventing full system-on-chip (SoC) implementation because of the exceedingly high RF voltage created by the power amplifier and the power management circuits and the numerous frequencies generated internally by the intermediate frequency (IF) blocks; must be carefully managed to prevent performance degradation as wireless communication schemes become more complicated; progress is limited because a consensus does not exist on appropriate metrics for assessing the progress of signal isolation in the context of the RF and AMS roadmap.
High-performance and low-cost RF and analog/mixed-signal solutions: CMOS compatible semiconductors	<p>Optimizing RF/analog CMOS devices with scaled technologies: mismatch, 1/f noise, voltage gain and leakage with high-κ gate dielectrics</p> <p>Fundamental changes in CMOS device structure to FDSOI or dual-gate devices may lead to the need for separate process steps to fabricate conventional precision analog/RF drive devices, resistors, and varactors</p> <p>Reduced power supply voltages: degradation in SNR and signal distortion performance</p> <p>Cost and integration complexity of integrating bipolar device in aggressively scaled CMOS generations (such as conflicting thermal budgets)</p> <p>Cost and performance tradeoffs associated with integrating passive devices in scaled CMOS (additional processing steps, silicon area, and need for new materials)</p> <p>High density integrated passive element scaling and use of new materials: Q-factor value for inductors; matching and linearity for capacitors</p> <p>Reduced device breakdown voltage in scaled technologies</p> <p>High-frequency devices with increased operating voltage for base station applications</p>
High-performance and low-cost RF and analog/mixed-signal solutions: III-V Compound semiconductors	<p>Substrates with good thermal dissipation and process equipment for fabrication at low cost</p> <p>Compound semiconductor substrate quality, especially for SiC and GaN</p> <p>Larger size compound semiconductor substrates [GaAs, SiC, GaN, and InP] for lower chip costs and compatibility with silicon processing equipment</p> <p>Engineering to relieve stresses in heteroepitaxy, e.g., epitaxial layers in compound semiconductors</p>
Cost effective CAD and design tools	<p>Non-linear and 3D Electromagnetic models for accurate design and simulation</p> <p>CAD solution for integrated radio SIP design (chip, passive, component, package, tool compatibility, and model accuracies)</p> <p>Accurate, fast, and predictive analog and RF compact models.</p> <p>Computationally efficient physical models for compound semiconductors</p> <p>Efficient 3D modeling and simulation for mixed signal circuits.</p> <p>Thermal modeling and simulations that are integrated with RF and digital design tools.</p>
Fast and low cost verification of RF performance	<p>RF/analog/digital tests for SoC systems</p> <p>Reduced RF circuit final tests</p>

RF および AMS 用 CMOS(0.8 GHz-10 GHz): 技術要求テーブルで、2つの分類上の大きな変更を加えた。高速アナログ CMOS と RF CMOS を合わせて、新たに高性能アナログ・RF のカテゴリーとし、高精度アナログ CMOS とドライバ CMOS を合わせて、新たなカテゴリーである高精度アナログ・ドライバとした。高性能アナログ CMOS のテーブルは LSTP CMOS を元に 1 年遅れとしている。ミックスドシグナル回路を持ったロジックの、高集積化および高性能化により、以下の点が引き継がれてゆくであろう。1) 定常的なデジタルプロセッシングの能力向上により、デジタル領域における信号処理の向上。2) RF ノイズ低下にともなった Ft と Fmax の増大。3) 第 2、第 3 の input/output(I/O)-トランジスタゲート酸化膜を用いることで、高電圧での動作の最適化や、外部とのインターフェイスのサポート、ミックスドシグナルのアプリケーションへ向けた高い S/N 比の維持。4) 複数の閾値電圧の導入が、デジタルの電力-遅延の最適化を可能にし、またミックスドシグナルと RF のアプリケーションの設計自由度を増大。5) デジタル、RF およびアナログ機能の電力レベルの低減。

RF および AMS 用バイポーラ素子(0.8 GHz-10 GHz): 本サブグループは、10GHz 以下の中間的な周波数で 0.5W 以下の中間的な電力のバイポーラ素子を取り扱う。ミリ波テーブルの高速バイポーラとパワーアンプテーブルの高耐圧バイポーラ素子と、オーバーラップが生じてしまっている。速度と消費電力とノイズと耐圧が、主なドライビングフォースになっている。バイポーラの技術要求テーブルは 3 つのサブエリアに分割した。1)高速バイポーラ素子、2)無線用の代表的な高周波バイポーラ素子、3)高耐圧バイポーラ素子(2004 年版ではパワーアンプ(PA)テーブルに記載)。このテーブルには、シリコンゲルマニウム(SiGe)バイポーラ素子は記載するが、III-V 族 HBT は含まれていない。これらは、パワーアンプのテーブルに記載されている。2004 年版からの大きな改訂としては、1)全てのタイプの素子に対して F_t/F_{max} を加えたこと、2)電源電圧を削除。(CMOS では重要だが)、3)高速素子について最大発振周波数における電流密度を加えたこと、が挙げられる。

パワーアンプ(0.8 GHz-10 GHz): 2005 年版では、2004 年版の PA テーブルから分けて、独立した受動素子テーブルに移した。PA デバイスは、電池の電圧がほぼ変わらないことと信頼性への高い要求から、極めてゆっくりとした進化をしている。2004 年版で予測した 3.4V からの電池電圧の低下は実現しなかった。おそらく、これから 2-3 年は、電池の電圧は同じままと見られる。SiGe のマルチバンド携帯用 PA は、サンプル出荷されているが、これまでのところ大きなボリュームにはなっていない。CMOS の PA は検討されサンプル出荷されているが、実用的な耐久性を持った PA のデモの報告はされていない。薄膜積層と低温同時焼成セラミックスによる高集積モジュールにより、劇的に RF フロントエンドのトータル面積が縮小する。PA 解決策候補テーブルでは、システムチップへの PA インテグレーションを可能にするもの(silicon integration enabler)として、SOI と高抵抗基板と、IC 上 RF MEMS(micro-electro-mechanical systems)技術にフォーカスして示す。

RF およびアナログ用受動素子(0.8 GHz-10 GHz): 各素子のパラメータに大きな変更は行わなかった。2005 年版のテーブルは 3 つのパートに分割されている。1)アナログ(低周波のアナログ・ミックスドシグナル用) — ここには、MOS 容量と抵抗(薄膜 BEOL と多結晶シリコン抵抗器)が入っている。MOS 容量のロードマップは、高精度 CMOS ロードマップのゲート絶縁膜厚 T_{ox} を元に作成。CMOS がスケールされると多結晶シリコン抵抗器用の追加マスクが必要になるかもしれない。MIM 容量密度は全ての短期要求に合うように設定(電圧、線形性、リーク、マッチング、および Q)。2)RF 応用(MIM 容量、インダクタ、MOS 可変容量が入ってくる)。3)PA 用(ほぼ変更なし)

ミリ波(10 GHz-100 GHz): これまでの版と同様に短期のみ予測した[~2013 年]。なぜなら、化合物半導体は、シリコンのように数十年の歴史からこれからを推定できるほどの歴史を持っておらず、化合物半導体産業は、シリコン半導体産業と比べて小さく、成熟度も劣っており、投資も少ないからである。主なトレンドとしては、以下が挙げられる。1)ゲート寸法は 2003 年—2004 年のロードマップで予測されていたほど縮小されないであろう。70 nm ゲート長は 2007 年までに実現しないものと考えられる。性能向上が、材料やデバイステクノロジーに、より強く結びついているためである(例えば、リソグラフィーで同じ大きさにすると、MHEMT は PHEMT に比べて高い性能を有する)。2) いくつかの技術は、この十年で消え行くことになるであろう。例えば 2006 年以降、低ノイズ GaAs MESFET に向けた新しいデザインは提起されないであろう。なぜならファウンダリーはこれまでの製品や、成熟した市場への生産しか行わない傾向にある。これと同様の流れは、低電圧パワー MESFET にも言える。PHEMT と InP HEMT はこの 10 年も経つと MHEMT にその座を明け渡すことになるだろう。4) GaN の成長は、2003 年および 2004 年における予測を超えて非常に速いものになっている。2004 年度版の表で 2007 年では赤く塗られたいくつかのパラメータは、すでに実現されている。しかし、材料の質とデバイスの信頼性は、量産を考えたときの課題として残る。

ERD デバイス

新しいことは何か？

新しい 2005 年版の新探究素子(ERD)章は、2003 年版の ERD 節に比べて大幅に改訂・拡張された。2003 年版において重要であったノンクラシカル CMOS の節は PIDS と FEP の章に移管され、新探究材料に関する全く新しい節が加えられた。新探究素子の多くは、劇的に向上した性質、あるいは新しい性質を有する材料を必要とする。このようなニーズを議論するため、新探究材料ワーキンググループは、これらの新デバイスの作製と動作のために必要となる重要な材料特性と可能な材料のソリューションを同定した。このような多くの新材料には、新しい化学薬品、合成技術、およびその特性を評価し改善するための度量衡が必要となる。この新探究材料の節では、そのような研究の必要性和機会を広範囲にわたって新たに取り上げた。

また、ナノ情報処理に対する分類法と、新たな基本的指導原理を議論する節も加えられた。分類法の節は、一般的な情報処理層の機構に注目している。指導原理の節では、基本的な要請の展望から、極限微細化 CMOS で達成される情報処理を何桁も超えるために提案された新しいさまざまな手法について議論している。さらに、新探究メモリやロジック技術については、それらが成熟した時点での特性の可能性を批判的に分析した。2005 年版においても、2 つの新探究メモリ技術(ナノ浮遊ゲートメモリとトンネル障壁エンジニアリングメモリ)は、市場に現在出回っているメモリ技術と比較しても、性能的に優位性を与えるものとして見なされている。反対に、CMOS に比べて大幅な特性の優位性を与えるような新探究ロジック技術の分野では、見込みのある新しい手法を見出すための探索研究を継続する必要がある。このような見通しに対して、例外はナノワイヤやナノチューブのような 1 次元構造を利用した FET 的な構造であろう。さらに、新探究メモリとロジックの節にある表は大幅に改良され、メモリの節では、大きく拡充された基本的メモリの表と、新しいプロトタイプメモリの表を含めるようにした。基本的メモリの表は、単体とエンベデッド DRAM, SRAM, そして NAND 型と NOR 型 FLASH を含んでいる。新しいプロトタイプメモリの表は、SONOS, FeRAM, MRAM, PCRAM(相変化メモリ)を含んでいる。メモリとロジックの節には、新しい技術の“推移”表も加えられている。この推移表は、どの新技術が取り入れられ、また 2003 年版では含まれていたが、今回、PIDS あるいは FEP の節に移管された、あるいは除かれた技術を示している。

困難な技術課題

Table ITWG 6 Emerging Research Device Technologies Difficult Challenges

<i>Difficult Challenges ≥ 32 nm</i>	<i>Summary of Issues</i>
<p>Development and implementation into manufacturing of a non-volatile memory technology, scalable beyond 32 nm, combining the best performance features of both volatile and non-volatile memory technologies for both stand-alone and embedded applications.</p>	<p>Identification of the most promising technical approach (es) to obtain electrically accessible, high-speed, high-density, low-power, non-volatile RAM</p> <p>Development of a manufacturable, cost-effective fabrication technology integrable with the process flow for CMOS logic providing for seamless integration onto a CMOS platform</p>
<i>Difficult Challenges < 32 nm</i>	
<p>Toward the maturation of CMOS scaling or beyond, discovery, reduction to practice, and implementation into manufacturing of novel, non-CMOS devices and architectures integrable (monolithically, mechanically, or functionally) with a CMOS platform technology</p> <p>1D to extend charge based devices</p> <p>Articulate the fundamental physical principles needed to develop new device technologies.</p> <p>Find a new information processing technology that addresses these fundamental principles (see Section entitled “Fundamental Guiding Principles”)</p> <p>Make emerging logic and memory devices compatible. (A new logic technology may require a new compatible memory technology.)</p> <p>Integrate the materials, device and architectural communities to interact and collaborate in discovering a new information processing technology.</p>	<p>No current approaches support the information processing technology required for “Beyond CMOS” satisfying the need for additional decades of functional scaling.</p> <p>Discovery and reduction to practice of new, low-cost methods of manufacturing novel information processing technologies</p> <p>Any new technology for information processing must be compatible with the new memory technology discussed above; i.e., the logic technology must also provide the access function in a new memory technology.</p> <p>A knowledge gap exists between materials behaviors and device functions.</p> <p>Current metrologies examine fixed material states, but do not probe the state change dynamics.</p>

フロントエンドプロセス

新しいことは何か？

フロントエンドプロセス章では、「材料に制限されるデバイススケーリング」の課題および解決策候補をはっきりと特定するように努めた。次の数年の間に、フロントエンドプロセスは、MOSFETのゲートスタックやDRAMのストレージキャパシタ、フラッシュ・メモリのストレージデバイスなど様々なアプリケーションにHigh-k材料や高度に設計された金属膜の導入を要求するであろう。これらの新しい材料に加えて、完全空乏型SOI(FDSOI)やFinFET(デュアルおよびマルチゲートを含む)のような新しいデバイス構造が要求性能を満たすために導入されるであろう。さらに、代替メモリの市場成長は、広範な種類の強誘電体薄膜や磁性体薄膜そして相変化薄膜の材料開発および最適化を要求するであろう。これらのデバイス変更を根拠として、SOIのような基板への要求や、これからの7年以内に必要とされているさらに大きな直径450mm基板の必要性が急速に高まっている。

拡張バルクCMOSからノンクラシカル(非古典的)デバイス構造へ、すべてのアプリケーション、およびすべてのチップメーカーが同時に移行するとは思えない。むしろ、非常に多様な技術が同時期に競争的に使用される場合、あるメーカーが先にノンクラシカルデバイスへの移行を決める一方で、他のメーカーがバルク技術の拡張に重点を置く、というシナリオが描かれる。この有望なシナリオを支援するために我々は、古典的CMOSを拡張するために何が必要か、また、完全空乏型SOIやマルチゲートのような他のデバイス構造への移行により何が得られるかを示すパラレルパスの作成法を提供した。バルクの拡張、FD SOI、およびマルチゲートが重なって使用されると予測される年については、これらのデバイスが入るよう、FEPの図表を延長した。パラレルパスの要求事項は、各技術選択肢に伴うトレードオフを記述するように意図している。例えば、バルクCMOSの拡張ではゲート絶縁膜厚と接合深さをもっと急激にスケーリングする必要があるが、同時に、より低いコンタクト抵抗が必要である。一方、FD SOI、およびマルチゲートではバルクCMOSで使用されるのとは異なる仕事関数のゲート電極材料が必要である。

シリコンウェーハのトレンドについては、FEP章のスターティング・マテリアル節に記載されているが、スケーリング、歩留まり向上、生産性の向上に関するいくつかの変更を含んでいる。エッジ除外領域は65nmの技術世代で、2mmから1.5mmに減少した。これはファクトリーインテグレーション TWG との整合性をとるためである。この変更によりFEPの全てのsub-TWGでは課題が広範囲に生ずるが、ウェーハも例外ではない。薄いシリコン層を土台となるウェーハのエッジまでは形成できないので、エッジ除外領域を小さくすることはとりわけSOIウェーハでは難しいことである。そこでSOIの節に別途エッジ除外領域の表を設けることになった。短期的には、完全空乏型(FD)SOI用のシリコン膜厚は最新のPIDSのデバイス要求値に応じて小さくなった。長期的には、FD SOI層を生産し、また膜厚を制御することには、これまではっきりしている通り、解が知られていないので、さらにスケーリングすれば、もっと大きな課題に直面することになる。表面パーティクルの数を減らし、大きさを小さくするという要求は加速しており、65nmの大きさのパーティクルは今では50nmの技術世代に、45nmのパーティクルは32nmの技術世代に現れている。【訳注:ITRS2005 p.391 Table 67a 参照】表のウェーハ直径の値は、基板の最大値に変更され、ORTCのリソグラフィの露光フィールドとウェーハの大きさのトレンドの表における用語の使い方に一致するようになった。この変更は、その技術世代において複数の直径のウェーハがデバイスの生産で実際に使用されていることをも、もっと正確に反映している。最後になったが、Emerging Materials(探索材料)のトレンドと用途については節が別途FEP章のスターティング・マテリアル節にあり、ハイパーリンクで繋がっている。

新材料とそれをプロセスに組み込む手法が出現したことにより、90nmとそれ以降の表面処理はただ単にウェーハ表面をきれいにすることより、はるかに挑戦的な仕事になった。ゲート絶縁膜とゲート電極を形成するには、決定的な洗浄工程における最も厳しいパラメータの制御が要求される。ウェーハに損傷を与えずに

DRAM の M1 のハーブピッチより小さいパーティクルを除去するのは、きわめて困難な課題である。【訳注：formable は正しくは formidable と思われる。formidable として訳出。ITRS2005 p.400 参照。】 洗浄の対象材料を削る量は 0.4\AA より少なくし、 23nm 幅のゲート構造に損傷を与えないで高い洗浄効率を維持することは、早ければ 2008 年に大きな課題を提供するだろう。と同時に、金属汚染もデバイス性能に影響を与えない汚染レベルまで少なくするか、あるいはそのレベルに維持しなければならない。他の重要な分野は、ポリシリコンのラインのような微細構造の洗浄同様、損傷を与えずに、高ドーズでイオン注入されたレジストを除去すること、コンタクトやキャパシタ構造のような高アスペクト形状の洗浄と乾燥を行なうことである。これらの課題に対応するには、新しい洗浄技術や装置や薬液が必要である。さらに、裏面パーティクルの歩留まりに与える影響と裏面パーティクルの除去は引き続き注目を浴びている。新しい裏面欠陥評価装置により、数年後にはこの分野の理解がもっと進むであろう。

ゲート絶縁膜のシリコン酸化膜等価膜厚 (EOT) を小さくすることは、相変わらず FEP の重要課題である。とはいえ、High-k 絶縁膜が必要とされるのは、前回の ITRS から 1 年後ろに移り、2008 年となった。これは、接合深さが以前より急激に浅くなったのと、チャンネル移動度を増大するのに歪みを利用したこと、この両者の組み合わせの結果である。2005 年版のロードマップでは実現すべきものが増え、長期的にはゲート絶縁膜のリークをこれまで予想されていたより、低い値で抑える必要がある。短期的には、ポリシリコンの空乏化を最小にする手法の重要性が増している。ゲート絶縁膜の酸化膜投等価膜厚 (EOT) を定義して表示するのに用いられる手法は、ゲート空乏化の効果を以前より良く反映するために 2005 年版で変更された。ITRS の 2003 年版と 2005 年版のどちらも、PIDS のデバイス設計における電氣的に等価な膜厚からゲートスタック (絶縁膜と電極) の要求項目が決まってくる。容量が (電氣的に) 等価な膜厚 (CET) は EOT だけでなくゲート電極の空乏化とチャンネルの量子化の効果を含んでいる。この 2 つの効果は ITRS2005 では以前より正確に計算され、いくつかの Poly-Si のドーピングレベルに対して EOT の要求値が一覧表になっている。ドーピングレベルには、 $1 \times 10^{20}/\text{cm}^3$ - 低濃度ドーピング、 $1.5 \times 10^{20}/\text{cm}^3$ - 通常のドーピング、 $3 \times 10^{20}/\text{cm}^3$ - 超高濃度ドーピング、が含まれている。なお、金属のゲート電極では空乏化はない。

コンタクトと接合の直列抵抗の重要性が ITRS2005 において増大したが、それにはいくつかの理由がある。短期的には、High-k ゲート絶縁膜の必要性を遅らせるためより浅い接合の導入が想定されている。中期的には、短チャンネル効果を制御するため、バルク CMOS の S/D エクステンションは急激なスケールアップを必要としている。完全空乏型 SOI と FinFET ではコンタクトが取れるようにするためにさえ、エレベーターテッド (せり上げ) 接合を選択的堆積法で形成する必要がある。結果として、ロードマップのかんりの部分において直列抵抗の課題に対する良い解決策は存在していないのである。

物理的ゲート長の制御は相変わらず FEP とリソグラフィの困難な課題である。調査の結果明らかになったのであるが、ほとんどどの製造メーカーも CD を 3σ で 10% 以内 (ITRS2003 年版で規定されている値) には制御できていない。このポテンシャル障壁のまわりにいくつか道があることが FEP、PIDS、リソグラフィとデザインの各グループ間で継続的に議論した結果わかった。この協力の結果、ITRS のいくつかの章を通して変更が加えられたが、それは以前規定された値よりもわずかに大きなばらつきでデバイスは経済的に製造され得るという認識に基づいている。そのため、CD の許容度は大きくなり 2005 年は 12% (3σ) になった。この許容度をさらに緩め、将来 15% にできないか、分析を継続中である。MPU の最終的な物理的ゲート長は 2003 年版 ITRS の値から変更はないものの、レジストでパターンニングされた線幅は大きくなり、トリミングで除去される量が増加した。この変更に伴って、CD 許容度全体の配分は ITRS2003 年版のリソグラフィ 80%/エッチング 20% の比率から 75%/25% に変わった。許容度の緩和と同時に、産業界ではどうやら実際は ITRS の値よりわずかに大きな物理的ゲート長を使用しているらしいという証拠が出てきつつある。その証拠は 2005 年版での数値の変更を保障するほどには強くはないが、もしその傾向がはっきりすれば物理的ゲート長の値が大きくなるよう、次回は修正されることになるかもしれない。

DRAM のスタックキャパシタには、容量の要求を満たすために現在では High-k 絶縁膜を用いた MIM 構造

が必要とされている。50nm(2009)以降は比誘電率が60より大きな新しい絶縁膜材料が必要となる。SOC用途にDRAMを混載するには、いくつかプロセスを統合するための課題に取り組むことになる。課題の1つは、スタックキャパシタ付近の深いコンタクトの設計ルールとロジック部のコンタクトの設計ルールを適合させることである。先端のキャパシタ材料がトレンチDRAMで必要とされるのは、スタックDRAMに比べてわずか2-3年しか遅れていない。いくつかのHigh-k材料は現在トレンチキャパシタのSIS構造で使われているが、2007年までに上部電極を金属にする必要がある。電極が上下どちらも金属でHigh-k絶縁膜を用いる完全なMIM構造は2009年までに必要となる可能性がある。セルサイズファクタはスタックキャパシタでは6であるが、トレンチキャパシタでは8のままである。従来の平面型転送トランジスタを3次元のアレイトランジスタで置き換えるのを前提として、デバイススケールアップの問題点を緩和するために65nmではトレンチキャパシタの新しい概念のセルを想定している。

フラッシュ・メモリ市場が急激に拡大したため、このデバイス用の材料とプロセスの課題により集中するようになってきた。開発の加速により、最小線幅のスケールアップおよび材料技術のどちらについてもフラッシュ・メモリは新しいテクノロジドライブとなりつつある。NANDフラッシュの実効的な長さFは現在ではDRAMのハーフピッチより小さくなっているようだ。しかしながら、隣り合ったPoly-Siゲートの間隔が小さくなるにつれて、コントロールゲートのPoly-Siをフローティングゲートの側面に重ねて形成することは、もはやできなくなると考えられる。そのため、2010年までにHigh-kのPoly-Poly間絶縁膜が適切な容量カップリング比維持のために必要であろう。同じ年にFeRAMでは3次元構造のキャパシタが、DRAMと競争力のある電荷保持($\sim 30 \mu\text{C}/\text{cm}^2$)のために必要となると思われる。

450mmウェーハの導入はFEP章のスターティング・マテリアル節の表ではORTCの方向性と整合性をとって、2015年から繰り上がり現在では2012年になった。時期が新しくなったのは、ムーアの法則のペースに生産性向上を合わせるため、というのが主な動機である。歴史的には、ウェーハは次の直径にはほぼ9-11年ごとに移行している。従って、新しく示された移行時期に間に合わせるには、半導体産業は既に数年スケジュールから遅れている。遅れているだけでなく、さらに、たとえば基準の設定(いかなる製品/装置開発にも先行する必要があるが)のような高度に連携された多くの活動が開始される可能性がある。主に経済的な問題に集中していた300mmへの移行の際と比べると、450mmへの移行は非常に多くの技術的課題と経済的なリスクに直面している。

半導体産業は、まず、数多くの相互に関係した基準(含ウェーハ)、計測法、製造装置として何を採用するか決めねばならない。始めに重要な問題となるのは、450mmウェーハがSOIなのか、あるいはバルクなのか、ということである。というのも、提案されている450mm導入の時期はどうやらSOIが主流のIC生産、とりわけ高性能のロジック/MPUアプリケーションに広く採用される時期に対応しただけだからである。明らかにウェーハの種類(ポリッシュ、エピ、アニールされているか、SOIか)は基準、計測法、プロセスを左右する。300mmの標準化においては前例がないほどの進展があったが、450mmでは、特に標準化の開始から終了まで必要な期間を短縮し、また費用がかかり時間を浪費する繰り返しを避けるために、さらに効率的な手法が要求される。ウェーハ製造時とデバイスプロセス時のどちらの場合も、シリコンウェーハの材料強度の考察には、特別に注意を払うべきである。そのため、世界標準を考察する上で、ウェーハの厚さは他の事項より慎重に決めることが求められる。実は、いくつかのIDM(垂直統合型デバイスメーカー)は、先端的なパッケージにチップをきちんと入れるのに必要なウェーハ裏面の研削量を減らすため、最初から標準より薄い300mmウェーハを使用しているという兆候が既に見られるのである。各技術世代で使用されているどのリソグラフィにも適合するように、ウェーハの特性を決定せねばならないが、これが容易な仕事ではないことは明らかである。世界標準化の進展と機を同じくして、材料と装置の全範囲に渡るメーカーはウェーハ、計測、プロセス装置の開発に伴う技術課題にも取り組まなければならない。IDMとメーカー業界が十分資源を投入し計画立案で協力すれば、技術的課題は(締め切りまでに)満足な解決を見るかもしれない。しかしながら、費用の方は過去のコストモデルの通りになるとは限らない。

無数にある技術的な課題よりも、450mm の経済的課題の方が、気が遠くなるような課題であることはほぼ間違いない。300mmから450mmに移行するのに要する費用は、少なくとも数100億ドルに達すると見積もられている。実際、ある450mmプロセス装置の開発費用が最近発表されたが、1000億ドルを超えている(ただ、率直に言ってこの額は少々大きすぎると思われる)¹。デバイス、材料、プロセスの各社は全てこの目的にかなりの資源、特に、材料特性、装置のインターフェース、装置のソフトウェアに関する資源を割り当てなければならない。これらの費用の大きさを考えると、IDMの多くは単独で450mmに移行する費用をまかなえるとは思えない。従って、コンソーシアム、生産のジョイントベンチャー、生産委託が増えると思われる。莫大な総費用が予想されることから、450mmの開発プログラムに投資する場合の最大の必要条件はおそらく、業界の広範な連合と、そのような巨額の資金の供給方法と移行時期についての合意を含む責任ある約束である。この事業の目的を考えると、IDMがかなりの経済的支援を材料・装置メーカーに行うことがどうしても必要であるが、それは総費用を部分的に負担し、妥当なROIをそれらのメーカーが得、また政府から資金援助を得るようにするためである。一方、設計に関係する生産性代替技術、例えば多値ロジックや革新的なアーキテクチャは、他の多くの会社により追求されるであろう。いずれにせよ、450mmへの転換に必要な集中的な支援を行うことで、300mmウェーハの継続的改善に必要な支援が減ることになるかもしれない。これは、450mmへの転換に初期は、あるいはずっと参加したくないと考えているIDMが特に心配していることである。

450mmへの移行に伴う問題点のさらに詳細な議論については、FEP章のスターティング・マテリアル節を参照されたい。

¹ M. LaPedus, "Soaring Tool Costs to Delay 450mm Fabs," EE Times, August 19, 2005.

困難な技術課題

Table ITWG 7 Front End Processes Difficult Challenges

Difficult Challenges ≥ 32 nm	Summary of Issues
New gate stack processes and materials	<p>Extension of oxynitride gate dielectric materials to < 1.0 nm EOT for high-performance MOSFETs, consistent with device reliability requirements</p> <p>Control of boron penetration from doped polysilicon gate electrodes while minimizing depletion of dual-doped polysilicon electrodes</p> <p>Introduction and process integration of high-κ gate stack materials and processes for high-performance, low operating and low standby power MOSFETs</p> <p>CMOS integration of enhanced channel mobility in both NMOS and PMOS devices, using local and global strained layers</p> <p>Introduction of dual metal gate electrodes with appropriate work function</p> <p>Control of silicon loss at spacer etch and gate etch needs to be much tighter on thin SOI and SiGe wafers, where the total silicon thickness is 20–50 nm</p> <p>Removal of high-κ dielectric without loss of the underlying silicon, especially in the case of SOI or non planar devices</p> <p>Metrology issues associated with gate dielectric film thickness and gate stack electrical and materials characterization</p>
Critical dimension and effective channel length (L_{eff}) control	<p>Control of gate etch processes that yield a physical gate length that is considerably smaller than the feature size printed in the resist, while maintaining $< 12\%$ overall 3-sigma control of the combined lithography and etch processes</p> <p>Control of profile shape, edge roughness, line and space width for isolated as well as closely-spaced fine line patterns</p> <p>Control of self-aligned doping processes and thermal activation budgets to achieve L_{eff} control</p> <p>Maintenance of CD and profile control throughout the transition to new gate stack materials and processes</p> <p>CD and etch metrology</p> <p>Site flatness to ensure effective lithographic printing</p>
Introduction and CMOS integration of new memory materials and processes	<p>Development and introduction of very high-κ DRAM capacitor dielectric layers</p> <p>Migration of DRAM capacitor structures from silicon-insulator-metal to metal-insulator-metal</p> <p>Integration and scaling of FeRAM ferroelectric materials</p> <p>Scaling of Flash interpoly and tunnel dielectric layers may require high-κ</p> <p>Limited temperature stability of high-κ and ferroelectric materials challenges</p> <p>CMOS Integration</p>
Surfaces and interfaces—structure, composition, and contamination control	<p>Contamination, composition, and structure control of channel/gate dielectric interface as well as gate dielectric/gate electrode interface</p> <p>Interface control for DRAM capacitor structures</p> <p>Maintenance of surface and interface integrity through full-flow CMOS processing</p> <p>Statistically significant characterization of surfaces having extremely low defect concentrations for starting materials and pre-gate clean surfaces</p> <p>Measurement of back surface particles at/near edge wafer edge (including bevel) has no solution</p> <p>Measurement and understanding of clustering of particles needs significant data to define future specification</p> <p>Little information associating back surface particles and the effect on yield</p>
Scaled MOSFET dopant introduction and control	<p>Doping and activation processes to achieve shallow source/drain regions having parasitic resistance that is less than $\sim 17\text{--}33\%$ of ideal channel resistance ($=V_{\text{dd}}/I_{\text{on}}$)</p> <p>Control of parasitic capacitance to achieve less than $\sim 23\text{--}29\%$ of gate capacitance, consistent with acceptable Ion and minimum short channel effect</p> <p>Achievement of activated dopant concentration greater than solid solubility in dual-doped polysilicon gate electrodes</p> <p>Formation of continuous self-aligned silicide contacts over shallow source and drain regions. Formation of elevated junctions and silicides on FDSOI wafers</p> <p>Metrology issues associated with 2D dopant profiling</p>

Table ITWG 7 Front End Processes Difficult Challenges (continued)

Difficult Challenges < 32 nm	Summary of Issues
Continued scaling of planar CMOS devices	<p>Higher κ gate dielectric materials including temperature constraints</p> <p>Metal gate electrodes with appropriate work function</p> <p>Sheet resistance of clad junctions</p> <p>CD and L_{eff} control</p> <p>Chemical, electrical, and structural characterization</p>
Introduction and CMOS integration of non-standard, double gate MOSFET devices	<p>Devices are needed starting from 2011 and may be needed as early as 2007 (this is a backup for high-κ materials and metal gates on standard CMOS)</p> <p>Selection and characterization of optimum device types</p> <p>CMOS integration with other devices, including planar MOSFETs</p> <p>Introduction, characterization, and production hardening of new FEP unit processes</p> <p>Device and FEP process metrology</p> <p>Increased funding of long term research</p> <p>Introduction of strained silicon in the structural configuration for advanced non-classical CMOS</p>
Starting silicon material alternatives greater than 300 mm diameter require the start of wafer manufacturing development in year 2005	<p>Need for future productivity enhancement dictates the requirement for a next generation, large silicon substrate material</p> <p>Historical trends suggest that the new starting material have nominally twice the area of present generation substrates, e.g., 450 mm</p> <p>Economies of the incumbent Czochralski crystal pulling, wafer slicing, and polishing processes are questionable beyond 300 mm; research is required for a cost-effective substrate alternative to bulk silicon</p> <p>If 450 mm wafers are to become available for production in 2012 as currently forecasted, wafer manufacturing is already behind schedule and must be implemented in 2005–2006</p> <p>Enhanced coordination is required amongst Starting Materials, Factory Integration, Yield Enhancement and the IRC to more effectively assess the anticipated onset of 450 mm use</p>
New memory storage cells, storage devices, and memory architectures	<p>Scaling of DRAM storage capacitor beyond $6F^2$</p> <p>Further scaling of Flash memory interpoly and tunnel oxide thickness</p> <p>FeRAM storage cell scaling</p> <p>Introduction of new memory types and storage concepts (Candidates—MRAM, phase-change memory for 2010, and single electron, molecular, nano-floating products beyond 2010)</p>
Surface and interface structural, contamination, and compositional control	<p>Achievement and maintenance of structural, chemical, and contamination control of surfaces and interfaces that may be horizontally or vertically oriented relative to the chip surface</p> <p>Metrology and characterization of surfaces that may be horizontally or vertically oriented relative to the chip surface</p> <p>Achievement of statistically significant characterization of surfaces and interfaces that may be horizontally or vertically oriented relative to the chip surface</p>

リソグラフィ

新しいことは何か？

2005 年以降も、各技術世代ごとにハーフピッチを縮めていく速いペースを維持継続していくことは今使われている波長 193nm の光投影リソグラフィ(optical projection lithography) 技術を改良し発展させ続けるという技術課題を克服していくことを要求する一方、光投影リソグラフィの経済的優位性がなくなったときには取って代わる次世代リソグラフィ技術(NGL 技術)を同時に開発していくことも要求している。本 2005 年版のリソグラフィ章では、液浸(immersion)レンズを用いた波長 193nm の光投影リソグラフィを発展させる際や新しい次世代の代替技術を開発する際に存在する重大な技術課題について検討している。非常に挑戦的な問題に対する技術的な解決策を考え出すことはもちろん必要であるが、設計コストやプロセス開発コスト、マスクコスト、装置やプロセスの CoO が高くなっていく中で、ダイコスト(die costs)の経済性を確保することが最も大切である。

2003 年版のロードマップが公表された後に、リソグラフィにとっての短期解決策候補の選定基準が定義された²。表に示す現および次期技術世代の解決策は、少なくとも二つの地域において最先端技術要求が公にされ、レジストやマスクを含む全てのインフラがそのタイミングで準備されている必要がある。3 世代先またはさらにその先の解決策には技術開発を奨励する意味合いのものも含んでいる。

これらの基準によって、波長 193nm 露光システム(193nm 液浸システムを含む)が次の 2 技術世代にとっての最有力候補となった。もはや波長 157nm を使うことやマスクと組み合わせて電子線を使うこと [例えば、電子線投影リソグラフィ(electron projection lithography、EPL) や近接電子線リソグラフィ(proximity electron lithography、PEL)] が解決策候補として期待され続けることはない。さらに、液浸リソグラフィは 32nm や 22nm 世代の一つの解決策候補として登場している。もし高屈折率の液体やレンズ材料が開発されるなら水をベースとした液浸の限界を超えて液浸の用途が拡大されるからである。当初のハーフピッチより 2 倍大きいハーフピッチパターンを持つそれぞれのマスクを用いて露光フィールド当り 2 枚のマスクを使う方式は液浸リソグラフィを拡大させる可能性がある³。

極端紫外線(extreme ultraviolet、EUV)リソグラフィは 32nm と 22nm のハーフピッチにとってその他のインプリント(imprint)やマスクレスリソグラフィ(maskless lithography、ML2)ならびに新液浸(innovative immersion)などの中で最も可能性の高い解決策候補である。困難な技術課題の表では液浸リソグラフィに関係する技術課題を特に強調した。この詳細については超解像技術(resolution enhancement technologies、RET)やリソフレンドリデザイン(lithography friendly design、LFD)ルールによる製造容易化技術(design for manufacturing、DFM)の中に記述してある。ポスト光リソグラフィの解決策をコスト効率良く実行するための技術課題についても引き続き強調されている。また、極端紫外線(EUV)、インプリントおよびマスクレスリソグラフィの技術要求についても詳細が追加された。インプリント用テンプレート(imprint templates)に関する技術要求を記述した表が

² (訳注) 各地域(日米欧韓台)のワーキンググループ間の議論を経て合意された解決策候補の選定基準

- 解決策候補として記載されるのは、最先端のクリティカル層に対応する技術候補であること。
- 全てのインフラ(マスク、露光ツール、レジスト等)は当該技術の必要な時期までに準備されていること。
 - 量産装置及びそのインフラが量産開始の 1 年前に準備できる見通しであること。
 - α -Tool 及びそのインフラが量産開始の 3 年前に準備されること。
 - β -Tool 及びそのインフラが量産開始の 2 年前に準備されること。
- 少なくとも二つ以上の地域の半導体メーカーが生産に使用する計画を持つこと。
- 対応する露光ツールは世界で 100 台以上使われる見通しであること。
- 次々世代の解決策候補には少なくとも一つの地域の半導体メーカーが生産に適用する計画を持つ場合も含める。
- 各地域のワーキンググループの意見を集約して、この基準に基づき候補を決定する。

³ (訳注) 現在この方式は一般に”double exposure (with 2x larger pitch)”と呼ばれている。Table 74 参照

追加された。

重ね合わせと CD 制御の許容値についてはこの 2005 年版で大幅に変更された。重ね合わせ許容値はメモリ回路をより高い歩留で製造するためにさらに厳しい要求となってきた。重ね合わせ誤差におけるレンズ収差の影響を小さくするために、一台の露光装置が同じウェーハの複数のクリティカル層を露光する使われ方になると思われる。リソグラフィのワーキンググループは CD 制御の技術要求を明確にするため他の章を担当しているワーキンググループとも議論した。米国と日本のワーキンググループはそれぞれ個別にシミュレーションを行った結果、現在開発されているいかなる技術を使っても CD 制御を 3σ で 4nm 以下にすることは出来ないとの結論に達した。伝統的に要求されてきた $\pm 10\%$ の許容精度でクリティカルな寸法を制御していくことはどんどん難しくなっている。

回路設計はトランジスタ性能に影響する全てのプロセスの正確な能力を計算に入れておくことが必要になると考えられる。設計 TWG はプロセスとデバイスの変動に関わる最も有意な指標として回路遅延と消費電力の変化をシミュレーションした。CD 制御の技術要求を $\pm 12\%$ に増やしても、回路属性に関わる全てのパラメータをそれなりに変化させた場合の回路遅延と消費電力の変化が許容できる変化内にあることがわかった。そこで、ロードマップの MPU ゲートの CD 制御の技術要求は $\pm 10\%$ から $\pm 12\%$ に増やされることになった。

コンタクトと MPU ゲートのレジスト露光線幅差はさらに広がっている。現像後の線幅縮小技術はますます広まる傾向がある上、有効な技術になってきているが、一方では CD 許容誤差の自乗和平方根のかなり大きな部分はエッチングに配分されることになった。これは物理ゲート長の制御においてエッチングプロセスの影響が大きくなったからである。リソグラフィプロセスにおいて図形を大きくしてレジストに転写するとプロセスウィンドウが広がり CD 制御を改善できる。コンタクトホールの結像にはこの方法が取られているので、エッチ後のコンタクトホールの大きさはリソグラフィで結像されたホールより小さくなっている。MPU ゲート長におけるリソグラフィ寸法と最終寸法の差も同様である。現像後とエッチ後のコンタクトホールのバイアスサイズは 2003 年以来大きくなっている。

ラインエッジ (line edge) およびライン幅ラフネス (line width roughness, LWR) の影響がデバイス性能にますますはっきりと現れてきている。そのため、測定装置はこれらの変動を出来るだけ正確に計測できるように工夫する必要がある。周波数の高いライン幅ラフネスはドーパント濃度分布に影響するし、配線抵抗にも影響する。周期の長いライン幅ラフネスはデバイスの活性領域にあるトランジスタのゲート長ばらつきを引き起こす。このばらつきがトランジスタの漏洩を増加させ、個々のトランジスタの速度を変動さす原因となり、それが IC のタイミング問題になる。ライン幅のラフネスの定義は見直されたところであり、長い周期のラフネスの値は既にロードマップに記述されている。周波数の高いラフネスの値は将来決めることになっている⁴。

⁴(訳注) LWR についてはレジストの技術要求 Table 77a, 77b とその注を参照のこと。なお、LWR は基本的な技術課題として日本の計測ワーキンググループが中心になって日米欧で協議中であり、2006 年版では見直される予定である。

困難な技術課題

Table ITWG 8 *Lithography Difficult Challenges*

<i>Difficult Challenges</i> ≥ 32 nm	<i>Summary of Issues</i>
Optical masks with features for resolution enhancement and post-optical mask fabrication	Registration, CD, and defect control for masks
	Equipment infrastructure (writers, inspection, metrology, cleaning, repair) for fabricating masks with sub-resolution assist features
	Understanding polarization effects at the mask and effects of mask topography on imaging and optimizing mask structures to compensate for these effects
	Eliminating formation of progressive defects and haze during exposure
	Determining optimal mask magnification ratio for <45 nm half pitch patterning with 193 nm radiation and developing methods, such as stitching, to compensate for the potential use of smaller exposure fields
	Development of defect free 1× templates
Cost control and return on investment	Achieving constant/improved ratio of exposure related tool cost to throughput over time
	Cost-effective resolution enhanced optical masks and post-optical masks, and reducing data volume
	Sufficient lifetime for exposure tool technologies
	Resources for developing multiple technologies at the same time
	ROI for small volume products
	Stages, overlay systems and resist coating equipment development for wafers with 450 mm diameter
Process control	Processes to control gate CDs to < 4 nm 3σ
	New and improved alignment and overlay control methods independent of technology option to <11 nm 3σ overlay error
	Controlling LER, CD changes induced by metrology, and defects < 50 nm in size
	Greater accuracy of resist simulation models
	Accuracy of OPC and OPC verification, especially in presence of polarization effects
	Control of and correction for flare in exposure tool, especially for EUV lithography
	Lithography friendly design and design for manufacturing (DFM)
Immersion lithography	Control of defects caused in immersion environment, including bubbles and staining
	Resist chemistry compatibility with fluid or topcoat and development of topcoats
	Resists with index of refraction > 1.8
	Fluid with refractive index > 1.65 meeting viscosity, absorption, and fluid recycling requirements
	Lens materials with refractive index >1.65 meeting absorption and birefringence requirements for lens designs
EUV lithography	Low defect mask blanks, including defect inspection with < 30 nm sensitivity and blank repair
	Source power > 115 W at intermediate focus, acceptable utility requirements through increased conversion efficiency and sufficient lifetime of collector optics and source components
	Resist with < 3 nm 3σ LWR, < 10 mJ/cm ² sensitivity and < 40 nm $\frac{1}{2}$ pitch resolution
	Fabrication of optics with < 0.10 nm rms figure error and < 10% intrinsic flare
	Controlling optics contamination to achieve > five-year lifetime
	Protection of masks from defects without pellicles
	Mix and match with optical lithography

Table ITWG8 *Lithography Difficult Challenges (continued)*

<i>Difficult Challenges < 32 nm</i>	<i>Summary of Issues</i>
Mask fabrication	Defect-free masks, especially for 1× masks for imprint and EUVL mask blanks free of printable defects
	Timeliness and capability of equipment infrastructure (writers, inspection, metrology, cleaning, repair), especially for 1× masks
	Mask process control methods and yield enhancement
	Protection of EUV masks and imprint templates from defects without pellicles
	Phase shifting masks for EUV
Metrology and defect inspection	Resolution and precision for critical dimension measurement down to 6 nm, including line width roughness metrology for 0.8 nm 3σ
	Metrology for achieving < 2.8 nm 3σ overlay error
	Defect inspection on patterned wafers for defects < 30 nm, especially for maskless lithography
	Die-to-database inspection of wafer patterns written with maskless lithography
Cost control and return on investment	Achieving constant/improved ratio of exposure-related tool cost to throughput
	Development of cost-effective optical and post-optical masks
	Achieving ROI for industry with sufficient lifetimes for exposure tool technologies and ROI for small volume products
Gate CD control improvements and process control	Development of processes to control gate CD < 1.3 nm 3σ with < 1.5 nm 3σ line width roughness
	Development of new and improved alignment and overlay control methods independent of technology option to achieve < 2.8 nm 3σ overlay error, especially for imprint lithography
	Process control and design for low k ₁ optical lithography
Resist materials	Resist and antireflection coating materials composed of alternatives to PFAS compounds
	Limits of chemically amplified resist sensitivity for < 32 nm half pitch due to acid diffusion length
	Materials with improved dimensional and LWR control

配線

新しいことは何か？

ITRS2005年版の配線章は、2004年改訂版に大幅な変更が加えられている。

- MPUのMetal 1における“コンタクトつきピッチ”を、最近接配線間でコンタクトが最近接で配置するのではなく、斜めにずれたコンタクト配置(staggered contacts)で定義することを、明確にした。斜めにずれたコンタクト配置は、MPUの設計では長い間、慣習的に用いられている。
- 2005年版ロードマップでは、CPU商品の量産化時期が、次の2世代(2007年と2009年)は、2年-2.5年/世代の間隔で、2009年以降は3年/世代で進むと記されている。加えて2009年には、MPUのMetal 1と中間層の配線ピッチの差が無くなる。
- かなり以前は最も縮小化されたMetal 1ピッチはDRAMによって実現されてきたが、最新のロードマップは2010年にMPUのMetal 1ピッチがDRAMのピッチと同じ値になると予想している。
- 2005年版ITRSの改訂モデルには、結晶粒界と界面での散乱によるCu抵抗率の増加が盛り込まれている。新モデルでは、Metal 1、中間層、最小線幅のグローバル配線のアスペクト比1.7が反映されている。長さ1mmあたりのRC遅延の計算には、改訂されたCu抵抗率と、新しいMetal 1、中間層、グローバル配線ピッチが用いられている。参考のため、Cu配線の抵抗率上昇がない場合のRC遅延が記されている。2013年には最小線幅のグローバル配線のRC遅延が、電子散乱により50%以上大きくなる。
- 配線形状の3次元寸法(3D CD)制御は、重要な技術課題のひとつとして、ITRS旧版から引き続き記されている。CD変動や電子散乱によるM1配線抵抗の変動値が計算され、MPU技術的要求表に記載されている。
- 電源電圧がスケーリングあるいは低減されると、クロックと信号線のすべての配線においてクロストークが問題となる。2005年版ITRSではMetal 1、中間層、グローバル配線に対する、クロストーク指標が新たに導入された。この指標は、最小線幅で隣接する2本の配線間に、動作電圧の25%の電圧が誘起される配線長さを計算している。2020年の最小グローバル配線の臨界配線長は、2005年の30%以下である。クロストーク問題を解決するためには設計グループと共同で対応する必要がある。
- Low-kに関する記述は、2003年版からの変更がほとんどない。実効誘電率3.1-3.4を提供する材料は現在量産中であり、2.7-3.0を提供できる材料が、2007年までの量産化に向けて、導入が予定されている。バルク誘電体、ハードマスク、エッチストップなど、幅広い仮定の下でのシミュレーションを行い、実効誘電率の範囲を決定した。詳細は、配線章のDielectric Potential Solutions Appendixに記載されている。
- DRAMに関する変更点は軽微である。実効誘電率の値に変更が加えられた。2007年にCu配線の導入が予測されている。
- 配線の表面処理のセクションには、界面の密着性、誘電体とバリアの信頼性、エッチング損傷の回復、および誘電体側壁のポアシールに関する新しい要求項目が含まれている。これらの表の主な焦点は、Cu配線と低誘電率絶縁膜を用いたデュアルダマシンプロセスである。

配線ロードマップを概括すると、2010年にはほとんどすべてが“red bricks”(red = “no known solution”)になる。2004年ロードマップからの変更点を締めくくるに値する、新しい発見や大きなブレークスルーは見られない。

困難な技術課題

Table ITWG 9 Interconnect Difficult Challenges

<i>Difficult Challenges ≥ 32 nm</i>	<i>Summary of Issues</i>
Introduction of new materials to meet conductivity requirements and reduce the dielectric permittivity*	The rapid introductions of new materials/processes that are necessary to meet conductivity requirements and reduce the dielectric permittivity create integration and material characterization challenges.
Engineering manufacturable interconnect structures compatible with new materials and processes*	Integration complexity, CMP damage, resist poisoning, dielectric constant degradation. Lack of interconnect/package architecture design optimization tool
Achieving necessary reliability	New materials, structures, and processes create new chip reliability (electrical, thermal, and mechanical) exposure. Detecting, testing, modeling and control of failure mechanisms will be key.
Three-dimensional control of interconnect features (with it's associated metrology) is required to achieve necessary circuit performance and reliability.	Line edge roughness, trench depth and profile, via shape, etch bias, thinning due to cleaning, CMP effects. The multiplicity of levels combined with new materials, reduced feature size, and pattern dependent processes create this challenge.
Manufacturability and defect management that meet overall cost/performance requirements	As feature sizes shrink, interconnect processes must be compatible with device roadmaps and meet manufacturing targets at the specified wafer size. Plasma damage, contamination, thermal budgets, cleaning of high A/R features, defect tolerant processes, elimination/reduction of control wafers are key concerns. Where appropriate, global wiring and packaging concerns will be addressed in an integrated fashion.
<i>Difficult Challenges < 32 nm</i>	<i>Summary of Issues</i>
Mitigate impact of size effects in interconnect structures	Line and via sidewall roughness, intersection of porous low-κ voids with sidewall, barrier roughness, and copper surface roughness will all adversely affect electron scattering in copper lines and cause increases in resistivity.
Three-dimensional control of interconnect features (with it's associated metrology) is required	Line edge roughness, trench depth and profile, via shape, etch bias, thinning due to cleaning, CMP effects. The multiplicity of levels, combined with new materials, reduced feature size and pattern dependent processes, use of alternative memories, optical and RF interconnect, continues to challenge.
Patterning, cleaning, and filling at nano dimensions	As features shrink, etching, cleaning, and filling high aspect ratio structures will be challenging, especially for low-κ dual damascene metal structures and DRAM at nano-dimensions.
Integration of new processes and structures, including interconnects for emerging devices	Combinations of materials and processes used to fabricate new structures create integration complexity. The increased number of levels exacerbate thermomechanical effects. Novel/active devices may be incorporated into the interconnect.
Identify solutions which address global wiring scaling issues*	Traditional interconnect scaling will no longer satisfy performance requirements. Defining and finding solutions beyond copper and low κ will require material innovation, combined with accelerated design, packaging and unconventional interconnect.

* Top three challenges

CMP—chemical mechanical planarization DRAM—dynamic random access memory

ファクトリインテグレーション

新しいことは何か？

ITRS のファクトリインテグレーション章ではコストターゲットを達成している間、スケジュールどおりの正しい量で効率的に必要な製品を生産する必要がある全ての工場構成要素に焦点を当てています。ムーアの法則 (Moore's Law) を実現するためには、微細化、新材料、100%に近い歩留りへの改善、ウェーハサイズの大口径化、その他の生産性の改善を最大限に活用しなければならない。これは、その他全ての工場構成要素を完全に統合できる工場が必要となる。また、対機能当たりのコストを 30%削減のトレンドを何十年間もの間維持するためには、あらゆる可能なコスト削減の機会を活かす必要がある。このペースを維持するには以下の基本的な特徴を持つ生産を精力的に追求しなければならない。即ち、ウェーハの単位面積あたりのコストを維持して、テクノロジーをビジネスニーズの変化に対応できるよう、工場の立ち上げ期間を短縮し、工場の汎用性を向上させることである。

半導体の成功と市場の成長は主として機能単位の継続的な改善によるところが大きい。多くの要素はプロセステクノロジーの進歩、ウェーハサイズの大型化、歩留りの向上、製造効率を含む生産性向上を牽引してきた。技術革新(high-k ゲート膜、メタルゲート、銅配線/low-k 膜など)の導入の段階と、高集積で複雑な設計や、30マスク層以上の SoC の様なプロセスの複雑さは生産性を維持することが過去の基準と比較して困難になっている。

経済性の面で工場の生産性を向上し続ける一つの積極的な例は 300mm ウェーハへの移行である。それは多くの知見によって新しい工場のコストが急激に増大するのを抑える。それにもかかわらず、テクノロジーのコストと規模による効果を追求する大規模工場建設はファブの投資額を増大し続けている。

総合的なファクトリインテグレーションは産業の成長を遅くする恐れのあるいくつかの課題を含みます。

3. 複雑な工場と複雑なビジネスモデルの統合

半導体技術、ビジネスの必要条件、より早い製品供給の必要性、多品種および変わりやすい市況などの急速な変化が、歩留り目標の達成や立上げの加速に適合する効果的でタイムリーなファクトリインテグレーションを長い期間にわたっていっそう難しいものにしていく。工場は今や複雑な市場への対応と顧客の要求を満たすために、新しい多くの異なった装置タイプとソフトウェアアプリケーションを統合しなければならない。平均売値が低下する市場における少量多品種の生産はマスク費、製造費、極度に困難な工場の統合を招く。工場の複雑さと設備コントロールのための堅牢で十分な機能が必要とされるソフトウェアシステムの欠落は問題をさらに増やすことになる。

4. 製造装置の信頼性、利用率、そして多世代活用性

製造装置が投資と経費に対し、非常に大きいインパクトを与える稼働率や利用率の目標についていくことができていない。産業は新しい装置(157nmリソ)や材料(Cu、High kゲートスタック、Low k絶縁膜、SOIなど)が急速に導入されるために、これまでの装置あるいはスキルの効率的な再利用をすることができなくなっている。

5. 熟した 300mm 工場のチャレンジ

私たちは現在 300mm 工場の立ち上げから熟成期に移行しており、ここから以下の様な 300mm 効率目標への改善と維持に焦点を当てることが必要である。1) 200mm ウェーハに対し 2.25 倍以上のチップ数、2) 30% 以上のチップコストの削減、3) (人間工学上の要求として)100%の工程内および工程間の AMHS (Automatic Material Handling System;自動材料搬送システム)運用上の柔軟性とコストの改善、4) そのためにキャリア内でそれぞれのウェーハのために異なったレシピをトラックする能力、5) 施設、電力消費、排出の

縮小

6. ポスト Bulk CMOS と次世代大口径ウェーハ製造パラダイム

新規のデバイスと 300mm 以降の次世代大口径ウェーハ(例えば 450mm ウェーハ)への転換は半導体産業におけるキーとなる変曲点を表している。Bulk CMOS 以降の新規デバイスに対応する製造装置および生産への潜在的なインパクトは明らかではないが、重要であると予想される。300mm 以上のウェーハへの転換は製造コスト効率を改善するもうひとつの変化の機会を表しており、ムーアの法則を実現し続ける半導体産業の能力として重要な要素になる。

これらの挑戦に取りかかるために、以下の基礎的な半導体製造の特性を改善しなければならない。

- 単位面積あたりのコスト — ウェーハの単位面積あたりの製造コストは生産性を計る一つの指標である。工場投資額は 1980 年代の\$50M から 2005 年の\$3B まで毎年著しく増大してきた。
- 高歩留りで高い量産性の工場を立上げる時間 — 工場を高歩留りで量産にまで立上げる時間を短縮することは、運用コストを削減するよりもっと経済的なインパクトが大きい。新工場は、技術要求表に反映されるように、構築、量産までの立上げが、より速く行われなければならない。また、既存の工場はより速く、進行中の生産に影響を与えないでアップグレードされなければならない。
- 技術とビジネスの変化に対応するために汎用性を増加させること — 技術の進歩と企業のグローバル化は電子部品のコスト削減につながっている。これは新市場の開拓を可能にして、新製品導入のペースを増加させるニーズを創造するものである。ビジネス予測におけるこれらの変化に対応する汎用性は大きなコストインパクトなしに向上させなければならない。

概要

半導体工場としての範囲は、ウェーハ製造工程と、プローブ・テストを含むチップ製造工程、背面研削およびダイシング(singulation)、最終的にはパッケージが組立てられて、テストされる製品組立て工程にまで至る(図 ITWG 1)。シリコン基板の製造と製品流通はファクトリインテグレーションの範囲外である。

明確に統合工場の要求を理解して、同時に測定できて活動可能な測定基準を定義するために、ファクトリインテグレーションは半導体製造を実行するのに必要である 5 つの推進力、または機能的な領域に分割されます。5 つの技術項目とは、工場運用 (Factory Operations)、製造装置 (Production Equipment)、搬送 (Material Handling)、工場情報と制御システム (Factory Information and Control System)、ファシリティ (Facilities) である。工場運用、および関連する工場ビジネスモデルは他の 4 項目への要求と行動のキーとなる項目である。全体的に見て、これらの 5 項目は困難な技術課題 (Difficult Challenges) から技術的要求事項と解決策候補を抽出するために使われている。これら 5 つの脅威領域に加えて、ファクトリインテグレーション章は横断問題や重点領域もこれら 5 つの脅威に取りかかる。

課題

FIの課題を、多世代の技術と5つの技術推進領域に関連させてまとめた。これらの課題への対応は、多くの工場を跨いだ運用がバラバラになるのを最小化するため、しばしば産業上の問題の技術導入と関連している。工場に対する短期の課題はビジネスや技術、必要最低限の経済課題を含んでいる。

Table ITWG 10 *Factory Integration Difficult Challenges*

<i>Difficult Challenges ≥ 32 nm</i>	<i>Summary of Issues</i>
Responding to rapidly changing, complex business requirements	<p>Many new and co-existing business models including IDM, Foundry, Fabless, Joint Ventures, Collaborations, other Outsourcing, etc need to be considered in the Factory Integration</p> <p>Increased expectations by customers for faster delivery of new and volume products</p> <p>Need for improve integration of the entire product design and manufacturing process</p> <p>Faster design -> prototype and pilot -> volume production</p> <p>Enhanced customer visibility into outsourced production operations</p> <p>Reduced time to ramp factories, products, and processes to stay competitive within the rapidly changing business environment</p> <p>Building 30+ mask layer System on a Chip (SoC) with high mix manufacturing as the model in response to diversified customers' requirement</p> <p>Rapid and frequent factory plan changes driven by changing business needs</p> <p>Ability to model factory performance to optimize output and improve cycle time for high mix factories</p> <p>Ability to constantly adjust equipment loading to keep the factory profitable</p> <p>Manufacturing knowledge and control information need to be shared as required among disparate factories</p>
Achieving growth targets while margins are declining	<p>Implications of rising wafer, packaging, and other materials cost on meeting cost targets</p> <p>Meeting high factory yield much faster at startup</p> <p>Addressing increased complexity while keeping costs in check</p> <p>Reducing complexity and waste across the supply chain</p> <p>Inefficiencies introduced by non-product wafers (NPW) competing for resources with production wafers</p> <p>High cost and cycle time of mask sets for manufacturers impacting affordability of new product designs</p> <p>Increasing dedication of masks and equipment causing manufacturing inefficiencies</p> <p>Challenges introduced with sharing of mask sets</p> <p>Difficulty in maintaining the historical 0.7\times transistor shrink per year for die size and cost efficiency</p>
Managing ever increasing factory complexity	<p>Quickly and effectively integrating rapid changes in process technologies</p> <p>Managing carriers with multiple lots, wafers with multiple products, or multiple package form factors</p> <p>Comprehending increased purity requirements for process and materials</p> <p>Need to run aluminum and copper back end in the same factory</p> <p>Increasing number of processing steps coupled with process and product complexity</p> <p>Need to concurrently manage new and legacy software and systems with increasingly high interdependencies</p> <p>Explosive growth of data collection/analysis requirements driven by process and modeling needs</p> <p>Increased requirements for high mix factories. Examples are complex process control as frequent recipe creation and changes at process tools and frequent quality control due to small lot sizes</p>
Meeting factory and equipment reliability, capability or productivity requirements per the Roadmap	<p>Process equipment not meeting availability, run rate, and utilization targets out of the box</p> <p>Stand alone and integrated reliability for equipment and systems to keep factories operating</p> <p>Increased impacts that single points of failure have on a highly integrated and complex factory</p> <p>Quality issues with production equipment embedded controllers to improve equipment process performance instability and NPW requirements</p> <p>Lack of good data to measure equipment and factory effectiveness for optimization and improvement programs</p> <p>Factory capacity planning and supply chain management systems are not continuously base lined with actual factory data creating errors</p> <p>Small process windows and tight process targets at >45 nm in many modules make process control increasingly difficult</p> <p>Lack of migration paths which inhibit movement from old inefficient systems to new highly productive systems</p>

Table ITWG 10 *Factory Integration Difficult Challenges (continued)*

<i>Difficult Challenges < 32 nm</i>	<i>Summary of Issues</i>
Meeting the flexibility, extendibility, and scalability needs of a cost-effective, leading-edge factory	<p>Need to quickly convert factories to new process technologies while reusing equipment, facilities, and skills</p> <p>Minimizing downtime to on-going operations while converting factories to new technologies</p> <p>Scalability implications to meet large 300 mm factory needs [40K–50K WSPM]</p> <p>Continued need to improve both throughput and cycle time</p> <p>Reuse of building, production and support equipment, and factory information and control systems across multiple technology generations</p> <p>Understanding up-front costs to incorporate EFS (Extendibility, Flexibility and Scalability)</p> <p>Comprehending increased purity requirements for process and materials</p> <p>Accelerating the pace of standardization to meet industry needs</p>
Meeting process requirements at 65nm and 45nm generations running production volumes	<p>Small process windows and tight process targets at 45 nm generations in many modules make process control increasingly difficult</p> <p>Complexity of integrating next generation lithography equipment into the factory</p> <p>Overall development and volume production timelines continuing to shrink</p> <p>Device and process complexity make the ability to trace functional problems to specific process areas difficult</p> <p>Difficulty in running different process parameters for each wafer while maintaining control windows and cycle time goals</p> <p>Reducing the impacts of parametric variation</p>
Increasing global restrictions on environmental issues	<p>Need to meet regulations in different geographical areas</p> <p>Need to meet technology restrictions in some countries while still meeting business needs</p> <p>Comprehending tighter ESH/Code requirements</p> <p>Lead free and other chemical and materials restrictions</p> <p>New material introduction</p>
Post-conventional CMOS manufacturing uncertainty	<p>Uncertainty of novel device types replacing conventional CMOS and the impact of their manufacturing requirements will have on factory design</p> <p>Timing uncertainty to identify new devices, create process technologies, and design factories in time for a low risk industry transition</p> <p>Potential difficulty in maintaining an equivalent 0.7× transistor shrink per year for given die size and cost efficiency</p> <p>Need to run CMOS and post CMOS processes in the same factory</p>
Emerging factory paradigm and next wafer size change	<p>Uncertainty about the next wafer size [450mm] and the conversion timing [See Backup material as a link in the electronic chapter at http://public.itrs.net.]</p> <p>Traditional strategies to scale wafers and carriers for the next wafer size conversion may not work with [450 mm] 25 wafer carriers and drive significant production equipment and material handling changes</p> <p>Uncertainty concerning how to reuse buildings, equipment, and systems to enable the next wafer size conversion [to 450 mm] at an affordable cost</p>

実装

困難な技術課題

Table ITWG 11 Assembly and Packaging Difficult Challenges

<i>Difficult Challenges ≥ 32 nm</i>	<i>Summary of Issues</i>
Impact of new materials	<p><i>BEOL materials including Cu/low κ</i></p> <p>Direct wirebond and bump to Cu or improved barrier systems bondable pads</p> <p>Bump and underfill technology to assure low-κ dielectric integrity including lead free solder bump system</p> <p>Improved fracture toughness of dielectric materials</p> <p>Interfacial adhesion</p> <p>Reliability of first level interconnect with low κ</p> <p>Mechanisms to measure the critical properties need to be developed</p> <p>Probing over copper/low κ</p> <p>Singulation technology for circuits incorporating ultra low κ dielectrics</p>
Wafer Level Packaging	<p>I/O pitch between 150 μm and 250 μm greater than 100 I/O</p> <p>Solder joint reliability</p> <p>Wafer thinning and handling technologies</p> <p>Compact ESD structures (this applies to other package types as well)</p> <p>TCE mismatch compensation for large die</p>
Coordinated Design Tools and Simulators to address Chip, Package, and Substrate Co-design	<p>Mix signal co-design and simulation environment</p> <p>Rapid turn around modeling and simulation</p> <p>Integrated analysis tools for transient thermal analysis and integrated thermal mechanical analysis</p> <p>Electrical (power disturbs, EMI, signal and power integrity associated with higher frequency/current and lower voltage switching)</p> <p>In package decoupling</p> <p>System level co-design</p> <p>EDA for “native” area array is required to meet the Roadmap projections</p> <p>Models for reliability prediction</p>
Embedded Components	<p>Low cost embedded passives: R, L, C</p> <p>Embedded active devices at both wafer and substrate level</p> <p>Wafer level embedded components</p>
Thinned die packaging	<p>Wafer/die handling for thin die</p> <p>Compatibility of different carrier materials (organics, silicon, ceramics, glass, laminate core)</p> <p>Reliability</p> <p>Testability</p> <p>Thin die for embedded active devices</p> <p>Electrical and optical interface integration</p>
Close gap between chip and substrate – Improved Organic Substrates	<p>Increased wireability at low cost</p> <p>Improved impedance control and lower dielectric loss to support higher frequency applications</p> <p>Improved planarity and low warpage at higher process temperatures</p> <p>Low-moisture absorption</p> <p>Increased via density in substrate core</p> <p>Alternative plating finish to improve reliability</p> <p>Tg compatible with Pb free solder processing (including rework @260C)</p>

<i>Difficult Challenges $\geq 32\text{ nm}$</i>	<i>Summary of Issues</i>
Flexible System Packaging	Conformal low cost organic substrates Small and thin die assembly Handling in low cost operation
High Current Density Packages	Electromigration I Thermal/mechanical reliability modeling. Whisker growth Thermal dissipation
3D Packaging	Thermal management Co-Design and simulation tools Wafer to wafer bonding Through wafer Via structure and via fill process Bumpless interconnect architecture
Fine Pitch Packages	Tighter tolerances for fine pitch BGA Minimizing kerf loss in singulation for small outline packages High temperature warpage for fine pitch BGA Reliability to meet drop test requirements for mobile electronics
<i>Difficult Challenges $<32\text{ nm}$</i>	<i>Summary of Issues</i>
Package Cost does not follow the Die Cost Reduction Curve	Margin in packaging is inadequate to support investment required to reduce cost Increased device complexity requires higher cost packaging solutions
Small Die with High Pad Count and/or High Power Density	These devices may exceed the capabilities of current assembly and packaging technology requiring new solder/UBM with: Improved current density capabilities Higher operating temperature
High Frequency Die	Substrate wiring density to support >20 lines/mm Lower loss dielectrics—skin effect above 10 GHz “Hot spot” thermal management
System-level Design Capability for Integrated Chips, Passives, and Substrates	Partitioning of system designs and manufacturing across numerous companies will make optimization for performance, reliability, and cost of complex systems very difficult. Complex standards for information types and management of information quality along with a structure for moving this information will be required. Embedded passives may be integrated into the “bumps” as well as substrates.
Emerging Device Types (Organic, Nanostructures, Biological) that require New Packaging Technologies	Organic device packaging requirements not yet define (will chips grow their own packages) Biological packaging will require new interface types

環境・安全・健康

新しいことは何か？

2005年版においてESH章では、困難な課題の全面的な改定を以下のように行っている。そこでは、4つの分野に対して注意を喚起している：化学物質と材料の管理、工程と製造装置の管理、持続性と製品の管理、原動のエネルギーと水の最適化。改定した困難な課題においては、半導体技術の発展に対する外的な影響(例として、規制)を取り込むことができるように、また、各プロセス技術に関連して必要となる項目を評価するためのフィルターとして役立ち、ESHに関連した技術開発の内因的な必要性を確認することができるように、より多面的な機能を持たせている。装置の安全に関する監査(これ自体が開発的要素を必要とせず、新しく市場に出てきた装置を評価するための常套手段となっている)のように取引のESH要件と考えられる技術要求事項(これまで繰り返し記載していた)は、これまでも行ってきたが、今回も削除している。ESH面の特性が殆ど利用できない化学物質の使用に関する社会政策上の関心が高まっている状況を考慮して物質並びに代替物質についての理解を深め、管理していくことの必要性に対して益々関心を持ってもらうように強調している。更に、製品管理は、製品中に含有される有害物を削減することに対する市場の要求が強まる中で、適切な技術的要求事項を抱えたESHの課題として、元々そうであったが、位置づけされてきている。

困難な技術課題

Table ITWG 12 ESH の困難な技術課題—短期

32nm 以前の困難な技術課題	要点
化学物質と材料の管理	<p>化学物質のアセスメント</p> <p>プロセスの稼動を遅延させずに、しかも人間の健康や安全、環境を損ねることなく化学物質を製造に使用し得ることを保証するスピーディな品質アセスメント方法の欠如</p> <p>化学物質データの有効性</p> <p>化学物質の使用に対して増大する国際的、地域的要請に対応するための新しい販売化学物質や材料に対する総合的な ESH データの欠如</p> <p>化学物質の暴露管理</p> <p>どのように化学物質や材料を使用するか、どんな工程副生成物が作られるかという情報の欠如</p>
工程と製造装置の管理	<p>化学物質の削減</p> <p>効果的でコスト効率の良い工程管理により、必要な化学物質の量を削減し、かつより安全な化学物質を使用することで技術的要請にも適い、人の健康と安全、そして環境への影響も低減するプロセス開発の必要性</p> <p>環境管理</p> <p>製造装置の再利用と廃棄、そして製造工程から出される有害、非有害物質に関連した問題に対応した効果的なマネジメントシステムを開発する必要性</p> <p>水とエネルギーの節約</p> <p>水使用量の削減と省エネの必要性</p> <p>新たなエネルギーを使用し、水の使用効率が高いプロセスと製造装置の必要性。</p> <p>消費材の最適化</p> <p>化学物質と材料のより有効な利用、及び再利用とリサイクルの必要性</p> <p>副生成物の管理</p> <p>適切な緩和を見極めるための、工程から出る副生成物の ESH に関する特性を理解する必要性</p> <p>化学物質の暴露管理</p> <p>化学物質の暴露可能性と人を暴露から守る装置（PPE）設計の必要性</p> <p>装置の人間工学</p> <p>人間工学的に正しいそして安全な装置設計の必要性</p> <p>メンテナンスに対応した設計</p> <p>一人の人が安全にメンテナンスとサービスを実行出来る装置設計の必要性</p> <p>メンテナンス作業中の健康と安全に関するリスクを最小にする必要性</p>
原動のエネルギーと水の最適化	<p>保全</p> <p>エネルギーと水使用量を減らす必要性</p> <p>放熱装置</p> <p>クリーンルームと原動システムのより効率的な熱管理の必要性</p> <p>地球温暖化物質の放出抑制</p> <p>エネルギー効率の良い製造装置と製造施設を設計する必要性</p> <p>地球温暖化係数の高い化学物質を使用する工程における排出量を削減する必要性</p>
持続性と製品の管理	<p>耐用年数が切れた装置の廃棄と再利用</p> <p>耐用年数が切れた場合の廃棄が容易な製造装置と製品を設計する必要性。</p> <p>ESH に配慮した設計</p> <p>工程、化学物質、及び全製造工程の製造装置の ESH に関する影響をトータルに評価し定量化する</p> <p>手法の必要性。</p> <p>新しい製造装置、工程、及び製品を開発する場合に ESH を設計パラメータにする必要性。</p> <p>持続性の定量化</p> <p>技術の進化の持続性を定義し評価する要素を特定する必要性。</p>

Table ITWG 12 ESH の困難な技術課題—長期

32nm 以降の困難な技術課題	要点
化学物質と材料の管理	<p>化学物質のアセスメント プロセスの稼動を遅延させずに、しかも人間の健康や安全、環境を損ねることなく化学物質を製造に使用し得ることを保証するスピーディな品質アセスメント方法の欠如</p> <p>化学物質データの有効性 化学物質の使用に対して増大する国際的、地域的要請に対応するための新しい販売化学物質や材料に対する総合的な ESH データの欠如</p> <p>化学物質の暴露管理 どのように化学物質や材料を使用するか、どんな工程副生成物が作られるかという情報の欠如</p>
工程と製造装置の管理	<p>化学物質の削減 効果的でコスト効率の良い工程管理により、必要な化学物質の量を削減し、かつより安全な化学物質を使用することで技術的要請にも適い、人の健康と安全、そして環境への影響も低減するプロセス開発の必要性。</p> <p>環境管理 製造装置の再利用と廃棄、そして製造工程から出される有害、非有害物質に関連した問題に対応した効果的なマネジメントシステムを開発する必要性。</p> <p>水とエネルギーの節約 水使用量の削減と省エネの必要性 新たなエネルギーを使用し、水の使用効率が高いプロセスと製造装置の必要性</p> <p>消費材の最適化 化学物質と材料のより有効な利用、及び再利用とリサイクルの必要性</p> <p>副生成物の管理 適切な緩和を見極めるための、工程から出る副生成物の ESH に関する特性を理解する必要性</p> <p>化学物質の暴露管理 化学物質の暴露可能性と人を暴露から守る装置 (PPE) 設計の必要性</p> <p>装置の人間工学 人間工学的に正しいそして安全な装置設計の必要性</p> <p>メンテナンスに対応した設計 一人の人が安全にメンテナンスとサービスを実行出来る装置設計の必要性 メンテナンス作業中の健康と安全に関するリスクを最小にする必要性</p>
原動のエネルギーと水の最適化	<p>保全 エネルギーと水使用量を減らす必要性</p> <p>放熱装置 クリーンルームと原動システムのより効率的な熱管理の必要性</p> <p>地球温暖化物質の放出抑制 エネルギー効率の良い製造装置と製造施設を設計する必要性 地球温暖化係数の高い化学物質を使用する工程における排出量を削減する必要性</p>
持続性と製品の管理	<p>耐用年数が切れた装置の廃棄と再利用 耐用年数が切れた場合の廃棄が容易な製造装置と製品を設計する必要性。</p> <p>ESH に配慮した設計 工程、化学物質、及び全製造工程の製造装置の ESH に関する影響をトータルに評価し定量化する</p> <p>手法の必要性。 新しい製造装置、工程、及び製品を開発する場合に ESH を設計パラメータにする必要性。</p> <p>持続性の定量化 技術の進化の持続性を定義し評価する要素を特定する必要性。</p>

歩留り向上

新しいことは何か？

Yield Enhancement 国際 WG では ITRS2005 年版に記載する主要課題を変更し定義し直した。最も重要な挑戦課題は欠陥検査装置の SN 比向上であろう。現在、欠陥検査装置には、技術ノードの進展に合わせフィーチャーサイズがスケールダウンされるのと同様、もしくはそれ以上の早さで検出できる欠陥サイズを小さくする事が期待されている。それと同時に検査感度を向上させる事は、膨大な量の擬似若しくは偽欠陥の中から微小であっても歩留りに影響する欠陥を発見する挑戦である。同時に、装置の低い所有コスト (CoO) が、高いスループットの欠陥検査の為に求められている。この要求と SN 比の改善を果たすことは相反する課題である。

上記以外の歩留り改善関係者にとっての挑戦課題は、優先度に応じ以下のようになる。

- 高スループットでの論理回路故障診断能力—システムティック要因起因の歩留り低下メカニズムの解明と対策への取り組みが必要
- 複数の種類のキラー欠陥検出—並びに、高検出率での同時分離、低い所有コスト (CoO)、高スループットの達成が課題
- 高アスペクト比パターン検査—高速かつコスト効率の高い検査装置へのニーズがあるが、この問題に対し電子ビーム式検査装置はスループット及び低コスト化の要求を満足していない
- プロセス安定性に関する歩留りとの相関のとれた絶対的なコンタミネーションレベル—プロセスで使用する薬液中のコンタミネーションの種類やレベルと歩留りとの相関をとり、管理限界を定める為の、データ、TEG、手法が必要
- インラインでの欠陥特徴付けと解析—EDX 解析システムに変わる技術が必要。焦点は軽元素への対応、パーティクルサイズによるサンプル量の減少への対応、及びマイクロアナリシス
- ウェーハエッジ・ベベルの管理と検査—不良原因を見つけるため、ウェーハ表裏両面のエッジ、ベベル部と先端部の検査が必要
- 短期間での歩留り習熟には効果的なデータマネジメントシステムとテスト構造が必要—これらにより歩留りを制限する原因を素早く同定することが可能
- パラメトリック起因の歩留りモデルの開発—新材料、OPC(optical Proximity Correction)の影響を取り扱えることと、高度に複雑化したデバイス構造を考慮に入れることが必要

2005 年版の歩留り改善の章は、歩留りモデルと装置許容欠陥数 (Yield Model and Defect Budget)、歩留り習熟 (Yield Learning)、欠陥検出と特徴付け (Defect Detection and Characterization)、ウェーハ環境汚染制御 (Wafer Environmental Contamination Control) の 4 つの節により構成されている。前回改定版からの主な変更点は以下の通りである。

● 装置許容欠陥数と歩留りモデル

装置許容欠陥数の表の数値は 5 年前に行われた調査結果に基づいているため、2005 年版では技術見通しを示す色分けを意図的に廃止している。より妥当な数値を示すためには、ITRS 次回改定までに新しい調査と手順により集めた最新のデータをもとに再計算することが必要である。Yield Enhancement 国際 WG では、半導体デバイスメーカーでの半導体製造装置の欠陥管理基準について新たな調査を行う計画である。歩留りモデルに関してはこれまで負の二項分布モデルが使われてきたが、他の技術領域、例えばフロントエンドプロセスの Starting Materials and Surface Preparation technologies では違う歩留りモデルを用いている。このため Yield Enhancement 国際 WG、Starting Material サブ WG (FEP 国際 WG)、及び Surface Preparation サブ WG (FEP 国際 WG) の間で歩留りモデルに関する議論が始まっている。これらの議論を通し ITRS で用いられる歩留りモデルが統一され、それに従い次の改訂版では YMDB 表も変更されるかもしれない。

● 欠陥検出と特徴づけ

ウェーハのベベル・エッジ部分の歩留りに及ぼす影響の増大とともに、この部分の検査の重要性が高まっ

てきた。新しい種類の欠陥検査装置が半導体製造会社で必要となったことに合わせ、欠陥検査のロードマップ表が拡張され装置の要求項目と目標仕様が追加された。

- ウェーハ環境汚染制御

ウェーハ環境汚染制御の節では、測定点を出来る限り装置への接続点に変更した。例えば Point Of Connection (POC) から導入口 Point Of Entry (POE) に変更し、ロードマップ表に載せる要求数値をより確実なものとした。これらの過程で標準化作業と接続点名称を新たに定めるなどの努力がなされている。また、新しいプロセス技術の出現に伴い新たな要求やインプットが寄せられた。液浸リソグラフィや ALD (Atomic Layer Deposition)、CVD 用の新しいプリカーサ材料の導入、メタライゼーション、CMP 技術の進展がそれらの背景にある。これらの要求項目は工場での実データと比較され表に組み入れられている。また、表はよりプロセスに特化した形に再構成した。

プロセス安定性に関する歩留との相関のとれた絶対的なコンタミネーションレベルの重要度を定める努力が続けられており、次の改訂版に反映される予定である。

困難な技術課題

Table ITWG 13 Yield Enhancement Difficult Challenges

困難な技術課題 ≥32nm ノード	問題の内容
SN 比—検出感度の向上は同時に、大量の問題のない異常点や虚報の中から、微小ではあるが歩留に影響する欠陥を検出するという挑戦を増加させる。検査を成功させるキーポイントは、感度を達成した上で、注目すべき重要な欠陥 (DOI) の把握に於ける容易性である。	フィルタリングと ADC の使用が解決策候補である。システムの感度を改善する為の、検出器や試料からのバックグラウンドノイズの低減。 プロセスばらつきから欠陥を分離する為の SN 比の改善 プロセスばらつきと欠陥の境界は何処か？
ハイスループットの論理回路故障診断能力—形状の不規則性が、論理回路領域を、リソグラフィのプロセスウィンドウに関するパターン形成のマージナリティの様なシステムティックな歩留低下要因に対して高感度にする。	ランダム成分起因の歩留に取り掛かる前に、システムティック成分起因の歩留低下メカニズムが、製品中に組み込まれテストフローと組織的に協調した論理回路故障診断能力により認識され、取り組まれなければならない。 潜在的な問題が、異なる ATPG フローを適合させなければならない為に起こる;論理回路故障診断を収束させるのに必要な数のテストベクトルをログする際に大幅な時間がかかる ATE や、ダイ一個辺りの故障診断に必要な EWS の CPU 時間。
複数種類のキラー欠陥検出—高い捕捉率、低 CoO、高スループットでの複数のキラー欠陥識別が必要である。	既存技術は、スループットを感度とトレードオフするが、今後に予測される欠陥レベルでは、スループットと感度の双方が、統計的な正しさを得る為に必要である。 CoO の観点からは、検査コストの低減が必須である。 最小サイズの欠陥を検出する能力は、不要かもしれない。 微妙なプロセスばらつきによる LER の検出 キラー欠陥に対する高い捕捉率、高スループット及び高精度での電氣的及び物理的の不良解析。
高アスペクトレシオ検査—高速で経済的な高アスペクトレシオ検査装置の要求が継続している。電子線を使った暫定的な検査装置では、スループットと低コストの要求に適合しない。	微弱なビア底面へのエネルギー伝達、検出器への飛び出し高アスペクトのコンタクト、ビア、トレンチに於けるグラントルール (GR) の 1/2 の欠陥を迅速に検出する能力 ウェーハ当たりの非常に多くのコンタクトやビアの数
困難な技術課題 < 32nm ノード	問題のまとめ
プロセス安定性に関する歩留との相関のとれた絶対的なコンタミネーションレベル—プロセスで使用する流体のコンタミネーションの種類や量を歩留と相関させたり管理限界を定める為の、データ、TEG 及び方法が求められている。	流体/気体の種類を標準 TEG や製品の歩留と相関させたり、採否判断する為の方法論 コンタミネーション相違による歩留に対する相対的な重要性の差異 歩留や特性への影響に関する標準的なテストの定義 最大プロセスばらつき(管理限界)の定義
インラインでの欠陥特徴付けと解析—EDX の代替として。関心はパーティクルサイズから考えた薄く少量の試料、マイクロアナリシスにある。	サンプリングプローブに於いては、SEM イメージでの分解能による最小の損傷若しくは破壊でなければならない。 特に有機物に於ける化学的状態や結合状態に関する情報の供給が推薦される。 技術世代の寸法に適合した微小試料解析技術 パーティクルと下地からの信号の分離能力
ウェーハエッジとベベルの管理と検査—ウェーハエッジとベベルの周りの欠陥やプロセス上の問題は、歩留上の問題を引き起こす。	ウェーハ表/裏面の、ウェーハエッジ、ベベル及びアパックスの根本原因検査を見出す

<p>迅速な歩留習熟には、効果的なデータマネージメントと、ふさわしい TEG が必要である。歩留を制約する条件の根本原因解析を可能にする為に。次の技術世代のプロセスの複雑性の増加とより少ない歩留習熟サイクルを考えると、過去の歩留向上速度と習熟時の歩留レベルを達成するのは不可能だろう。</p>	<p>工場環境、設計、プロセス、テスト及び WIP の相関をとる、自動、知的構造、解析及び縮退アルゴリズムの開発 短い歩留習熟サイクルの為にの道具や方法の必要性</p>
<p>新材料を考慮した特性に敏感な歩留モデルの開発— OPC とプロセスインテグレーションに於ける高い複雑性を考慮したもの。そのモデルは、高い特性に対する感度、非常に薄い膜の完全性、回路設計の影響及び多くのトランジスタのパッキング等を包含するものでなければならぬ。</p>	<p>新しい技術世代の為に TEG の開発 複雑なインテグレーション上の問題への対応 非常に薄い膜の完全性のモデル化 増加するトランジスタ密度を含むフロントエンドプロセスの為にスケーリング方法の改善</p>

ADC—自動欠陥分類

計測

新しいことは何か？

計測は、新材料/プロセス/デバイス構造の矢継ぎ早の導入により、大いに挑まれ続けている。初めて CD-SEM とスカトロメトリを基礎にした CD 計測が、32nm まで延命可能と信じられた。既にキャリア移動度はプロセスによるストレスにより向上しているが、ストレス計測の不適切性が大きな問題となった。FINFET や同様の構造に於ける絶縁膜の側壁計測能力の欠如が、重大問題となって来た。インターフェースレイヤの制御の為にインライン計測も、要求が満たされない挑戦に留まっている。3D インターコネクットの潜在的使用は、新しい計測要求を牽引するだろう。材料特徴づけの領域において、収差補正 TEM が、3D でのほぼ原子レベルでの画像実現に向けて進化している。より以上の詳細は計測の章を参照の事。

困難な技術課題

Table ITWG 14 Metrology Difficult Challenges

困難な技術課題 ≥ 32nm ノード	問題の内容
工場および会社規模での実時間/その場/統合された/インライン計測;頑丈なセンサ (robust sensors、訳者注:測定精度に余裕があり、環境の変動などに強いセンサ) およびプロセスコントローラの開発;センサの追加統合が可能なデータ管理。	プロセスコントローラおよびデータ管理の標準規格が必要である。大量な生データを歩留り向上に有用な情報に転換することが必要である。トレンチエッチング時の終点検出、イオン注入時のイオン種/エネルギー/ドーズ量(電流)、および RTA 処理時のウェーハ温度に対して、より良いセンサの開発が必要である。
シリコンウェーハ (starting materials) 製造やデバイス製造での計測技術は SOI のような新しい基板の導入によって影響を受ける。シリコンウェーハで問題となる量の不純物検出 (特に微粒子)、およびウェーハ周辺部の検査不能領域の削減。CD、膜厚、欠陥検査は薄い SOI の光学的性質や電子・イオンによる帯電によって影響を受ける。	現行のままでは、ロードマップの目標レベルを達成できない。極微小粒子の検出とサイズ分類が必要である。SOI ウェーハに対する性能向上が必要である。課題は、SOI 構造による余分な散乱と表面の品質に起因する。
ダマシンのような高アスペクト比技術を制御するための計測技術。重要な要求は、寸法制御、Cu 配線中のボイド検出、それにパターン形成後の低誘電率(Low-k)膜中のポアサイズ分布とキャリアポアの計測。	プロセス制御に必要とされる新しいニーズが不明確である。たとえば、新しい低誘電率(Low-k)材で作られたトレンチ構造の3次元(CDと深さ)測定が必要であろう。側壁の凹凸は、配線やビア構造でのバリア膜の品質と電気特性に影響する。
複雑な積層材料の測定、および界面における物理的性質や電気的性質の計測。	制御された薄膜と界面層を含む新 High-k ゲート/容量誘電膜、配線バリアのような薄膜と Low-k 誘電膜、およびその他のプロセスニーズに対応する標準試料/標準物質と標準測定方法。ゲートや容量誘電膜の光学的測定結果は広い領域の平均であり、界面層の評価・解析が別に必要になる。歪 Si や SOI でのゲートスタックに対するキャリア移動度評価が必要になるだろう。バリア層についても同様である。メタルゲートの仕事関数の評価は、もう一つの大きなニーズである。
測定用のテスト構造と標準試料/物質。	特にスクライブ線において、テスト構造に割当てられる面積は縮小している。スクライブ線上にあるテスト構造ではチップ内の特性変化と相関が取れないという懸念がある。重ね合せその他のテスト構造はプロセス変化に敏感であり、テスト構造はスクライブ線上とチップ内の対応が取れるように設計を改善する必要がある。適切な標準物質を作るために、標準化機関は最先端技術を用いて開発や製造の能力を向上させる活動に早急に着手する必要がある。

困難な技術課題 <32nm	問題の内容
ウェーハおよびマスクに関する 3 次元構造の寸法測定/重ね合わせ精度測定/欠陥検出/解析に使用する非破壊の生産用顕微鏡観察技術。	表面帯電およびコンタミネーションは SEM 像形成時の障害となる。寸法測定ではパターン側壁の形状を考慮しなければならない。ダマシンプロセスにおけるトレンチ構造の寸法測定が必要である。ステップの焦点と露光量、エッチバイアス(エッチ後寸法とレジスト寸法の差)などのプロセス制御は高精度化と3次元対応が必要である。
チップ内特性を測ることでチップ間やウェーハ間ばらつきを反映できるように新しい計測法を考える必要がある。	デバイス縮小に伴って、テスト構造を変えた場合の特性とチップ内の特性との相関を取るのが難しくなっている。
統計変動が顕在化する 32nm ノード以降でのプロセス制御。	自然現象としてのゆらぎが計測を制限する領域では、プロセスを制御することが困難となろう。たとえば、低ドーズのイオン注入、薄いゲート絶縁膜、および極微細構造でのエッジラフネスである。
デバイススケールでの構造や組成の解析、および CMOS 以降のデバイスの測定。	界面層制御、ドーパント位置、欠陥、元素濃度に関して、デバイススケールとの対応が取れるような材料評価や計測方法が必要。一例は、3次元のドーパントプロファイル測定。自己組織化プロセスの測定も必要である。
デバイス構造と配線技術が明確にならない段階で製造における計測を決める必要がある。	現在のトランジスタに代る新デバイス構造や Cu 配線に代る材料が検討されている。

* SPC(Statistical Process Control) - 検査を置き換える、プロセス変動を減らす、欠陥を制御する、あるいは廃棄量を減らすために、統計的プロセス制御のパラメータが必要である。

(訳注:長期は Beyond 2009 とあり、この表現には 2009 年は含まれていないため 2010 年以降とした)

MODELING AND SIMULATION

新しいことは何か？

2005 年度 ITRS のモデリング&シミュレーションの章では昨年の活動で明らかにされた幾つかの動向を引き続き詳細に見直した。まず、ITWG 間の議論として書類や会合を通して他の ITWG からの要求内容を分析から始めた。その結果は、現在 ITRS で詳細なモデリング&シミュレーション技術と他の技術との関連を扱う記述内容になっている。そこに書かれた情報は、2005 年のモデリング&シミュレーションの章にある課題や要求内容に関する表の形で利用しているこの一部として、研究開発動向の幾つかはもう一度強調されている、例えば：より高い予測能力を持つ物理的なモデル、常にそして一層切迫している大規模問題に立ち向かえるアルゴリズムやシミュレーションソフトの要求、材料に関するモデリングやシミュレーションへの一層強まる要求、装置シミュレーションが扱う範囲の拡大、そして特に、プロセス・デバイス・回路から設計までの異なる階層での、また物理的に異なる特徴を持つため個別に扱ってきた様な対象に関するシミュレーションを統合し実現できるブレイクスルーへの要求。2 つほど例を挙げれば、レイアウトに依存した応力でこれは製造工程と応力に依存した移動度を通して素子の電気特性に影響する。もう一つは、配線の性能や信頼性に関する電気・熱・応力現象を結合したシミュレーション技術がある。多くの ITRS の章で、製造工程や統計的な揺らぎに起因したドーパントの影響に脚光を当てている。その結果、モデリング&シミュレーションでは「設計と製造のための TCAD」という新たな節を起こし、モデリング&シミュレーション技術がこうしたバラツキが素子レベルや IC、そして最終的には設計や製造工程、歩留まりへの影響を評価し最小化する事に関する要望事項やその展望を要約した。この新たな TCAD 応用技術は、相当大がかりな物理モデルやシミュレーションツールの開発を必要とする。

モデリング&シミュレーション技術の課題に関するスコープは 2003 年からほぼ同じにとどまってはいるが、その詳細な内容は大きく変化している。特に 2005 年には高周波素子と回路のモデリングに対して消費電力が含まれることになった。フロントエンドプロセスのモデリングについては、新たなアニール手法や新たな材料、エピ層を用いたドーピングのモデルを明示的に追加した。装置や材料に関するモデルを統合する事に関する課題には、形状計算とプラズマ反応が素子特性に与える影響を明示的に記述し、電気化学的な研磨(のモデル)を新たに追加した。リソグラフィシミュレーションの課題については、装置やマスクへの影響について重点を置いた。究極のナノスケール CMOS のシミュレーションについては、応力に起因した素子性能のモデルを強調した。配線やパッケージ関係での熱的・応力的・電氣的なモデリングに対しては、効率的なパッケージやレイアウト、それに消費電力管理を強調した。長期的な課題 4 件の変更内容は、その大部分は第一原理的なモデリングの重要性を強調した事である。更に、コンパクトモデルに言及した長期的課題では、プロセス・デバイス・シミュレーションを用いて回路レベルのバラツキをより効率的に抽出する事で、従来のコンパクトモデルに物理的な拠り所を持たせ、統計的に扱える範囲を広げる事を強調した。

フォーカスすべき、特に PIDS、FEP、リソグラフィ、配線に関しての要求内容や技術的な可能性を広げる事でモデリング&シミュレーションの要求項目に関する表の詳細は多くの変更をもたらした。その上、短期的、長期的な要求項目が1つの表に併合された事で、元々両者を分けていた人為的に導入された 7 年というものが、要求内容の開始・終了時期によりふさわしい時期という意味ではなくなった。

モデリング&シミュレーションのほぼ最大の課題は技術的なことではなく、そのため表の形では述べられていないが、研究開発のリソース不足がモデリング&シミュレーションの発展のテンポを制限している事、その結果要求されている成果を返すのが間に合わない事にある。この分野について、産業界が要求に関して適切に合意を形成したり、原理的に合意し要求に対応するだけでは不十分なことは強調しておく必要がある。もし十分な研究予算が使えなければ、モデリング&シミュレーション技術は期待に応じて成果を上げる事が出来ず、産業界がナノエレクトロニクスの開発する事に貢献できない。この点に関して ITRS の場合は、協調推進と資源を最も有効に利用する事で部分的に支援する場にすぎない。

困難な技術課題

Table ITWG 15 Modeling and Simulation Difficult Challenges

<i>Difficult Challenges ≥ 32 nm</i>	<i>Summary of Issues</i>
High-frequency device and circuit modeling for 5–100 GHz applications	<p>Efficient extraction and simulation of full-chip interconnect delay and power consumption</p> <p>Accurate and yet efficient 3D interconnect models, especially for transmission lines and S-parameters</p> <p>Extension of physical device models to III/V materials</p> <p>High-frequency circuit models including non-quasi-static effects, substrate noise, 1/f noise and parasitic coupling</p> <p>Parameter extraction assisted by numerical electrical simulation instead of RF measurement</p> <p>Scalable active and passive component models for compact circuit simulation</p> <p>Co-design between interconnects and packaging</p>
Front-end process modeling for nanometer structures	<p>Diffusion/activation/damage/stress models and parameters including SPER and low thermal budget processes in Si-based substrate, that is, Si, SiGe:C, Ge, SOI, epilayers, and ultra-thin body devices</p> <p>Modeling of epitaxially grown layers: Shape, morphology, stress</p> <p>Characterization tools/methodologies for ultra shallow geometries/junctions and low dopant level</p> <p>Modeling hierarchy from atomistic to continuum for dopants and defects in bulk and at interfaces</p> <p>Front-end processing impact on reliability</p>
Integrated modeling of equipment, materials, feature scale processes and influences on devices	<p>Fundamental physical data (e.g., rate constants, cross sections, surface chemistry for ULK, photoresists and high-κ metal gate); reaction mechanisms, and simplified but physical models for complex chemistry and plasma reaction</p> <p>Linked equipment/feature scale models (including high-κ metal gate integration, damage prediction)</p> <p>CMP, etch, electrochemical polishing (ECP) (full wafer and chip level, pattern dependent effects)</p> <p>MOCVD, PECVD, ALD, electroplating and electroless deposition modeling</p> <p>Multi-generation equipment/wafer models</p>
Lithography simulation including NGL	<p>Optical simulation of resolution enhancement techniques including mask optimization (OPC, PSM)</p> <p>Predictive resist models (e.g., mesoscale models) including line-edge roughness, etch resistance, adhesion, and mechanical stability</p> <p>Methods to easily calibrate resist model kinetic and transport parameters</p> <p>Models that bridge requirements of OPC (speed) and process development (predictive)</p> <p>Experimental verification and simulation of ultra-high NA vector models, including polarization effects from the mask and the imaging system</p> <p>Models and experimental verification of non-optical immersion lithography effects (e.g., topography and change of refractive index distribution)</p> <p>Multi-generation lithography system models</p> <p>Simulation of defect influences/defect printing</p> <p>Modeling lifetime effects of equipment and masks</p>
Ultimate nanoscale CMOS simulation capability	<p>Methods, models and algorithms that contribute to prediction of CMOS limits</p> <p>General, accurate and computationally efficient quantum based simulators</p> <p>Models and analysis to enable design and evaluation of devices and architectures beyond traditional planar CMOS</p> <p>Gate stack models for ultra-thin dielectrics</p> <p>Models for device impact of statistical fluctuations in structures and dopant distribution</p> <p>Material models for stress engineering.</p> <p>Physical models for stress induced device performance</p>
Thermal-mechanical-electrical modeling for interconnections and packaging	<p>Model thermal-mechanical, thermodynamic and electronic properties of low κ, high κ, and conductors for efficient in-chip package layout and power management, and the impact of processing on these properties especially for interfaces and films under 1 micron dimension</p> <p>Model reliability of packages and interconnects (e.g., stress voiding, electromigration, piezoelectric effects; textures, fracture, adhesion)</p> <p>Models for electron transport in ultra fine patterned conductors.</p>

Table ITWG 15 *Modeling and Simulation Difficult Challenges (continued)*

<i>Difficult Challenges < 32 nm</i>	<i>Summary of Issues</i>
Modeling of chemical, thermomechanical, and electrical properties of new materials	Computational materials science tools to describe materials properties, process options, and operating behavior for new materials applied in devices and interconnects, including especially for the following: Gate stacks, predictive modeling of dielectric constant, bulk polarization charge, surface states, phase change, thermomechanical (including stress effects on mobility), optical properties, reliability, breakdown, and leakage currents including band structure, tunneling from process/materials and structure conditions. Models for air gap and novel integrations in 3D interconnects including data for ultrathin material properties. Linkage with first principle computation and reduced model (classical MD or thermodynamic computation). Accumulation of databases for semiempirical computation. Models for new ULK materials that are also able to predict process impact on their inherent properties.
Prediction of dispersion of circuit parameters	Computer-efficient inclusion of influences of statistics (including correlations) before process freeze, quantum/ballistic transport, etc., into compact modeling Efficient extraction of circuit-level variations from process and device simulation
Nano-scale modeling	Process modeling tools for the development of novel nanostructure devices (nanowires, carbon nanotubes (including doping), quantum dots, molecular electronics) Device modeling tools for analysis of nanoscale device operation (quantum transport, resonant tunneling, spintronics, contact effects)
Optoelectronics modeling	Materials and process models for optoelectronic elements (transmitters and receivers). Coupling between electrical and optical systems, optical interconnect models, semiconductor laser modeling. Physical design tools for integrated electrical/optical systems